

明 細 書

磁気センサ及びその製造方法

技術分野

- [0001] 本発明は、磁気センサ及びその製造方法に関し、特に1枚の基板上に3個以上の巨大磁気抵抗素子を配置して三軸方向の磁界の強さを検知する小型の磁気センサ及びその製造方法に関する。

本願は、7件の日本国特許出願、即ち、特願2005-77010号(出願日:2005年3月17日)、特願2005-91616号(出願日:2005年3月28日)、特願2005-88828号(出願日:2005年3月25日)、特願2005-131857号(出願日:2005年4月28日)、特願2005-350487号(出願日:2005年12月5日)、特願2005-91617号(出願日:2005年3月28日)、及び特願2005-98498号(出願日:2005年3月30日)に基づき優先権を主張し、その内容をここに援用する。

背景技術

- [0002] 従来より、種々の磁気センサが開発されており、例えば、特開2004-6752号公報には1枚の基板上に3個以上の巨大磁気抵抗素子を配置して三軸方向の磁界の強さを検知する磁気センサを開示している。
- [0003] 上記の公報に開示された磁気センサでは、シリコン基板に溝を形成し、その溝の斜面にZ軸用の巨大磁気抵抗素子を配置し、シリコン基板の平坦面にはX軸用の巨大磁気抵抗素子とY軸用の巨大磁気抵抗素子を配置しており、これにより小型化を図っている。

また、シリコン基板上に酸化ケイ素からなる山部を形成し、当該山部の斜面にZ軸用の巨大磁気抵抗素子を配置し、シリコン基板の平坦面にはX軸用の巨大磁気抵抗素子とY軸用の巨大磁気抵抗素子を配置した三軸磁気センサも知られている。

特許文献1:特開2004-6752号公報

発明の開示

発明が解決しようとする課題

- [0004] 本発明の目的は、1枚の基板上に3個以上の巨大磁気抵抗素子を配置して三軸方

向の磁界の強さを検知する磁気センサにおいて、更に小型化を図るとともに検知精度を向上させることにある。

課題を解決するための手段

- [0005] 本発明の第1のポイントは、半導体基板上に形成された厚膜を処理して複数の溝を並列に形成し、溝の斜面に設けた感磁部と、感磁部を電氣的に直列接続するバイアス磁石とにより構成した複数の巨大磁気抵抗素子よりなるZ軸センサを設けるとともに、厚膜の平坦面の所定位置に配置した複数の巨大磁気抵抗素子よりなるX軸センサ及びY軸センサとを設けて磁気センサを構成したことにある。
- [0006] 上記の磁気センサの製造方法によると、半導体基板の配線層を覆って平坦化する平坦化層を形成し、平坦化層の上にパッシベーション膜を形成し、パッシベーション膜の上に厚膜を形成し、厚膜の上にレジスト膜を形成し、レジスト膜の一部を除去し、レジスト膜に加熱処理を施してその側面を傾斜させ、レジスト膜と厚膜とをエッチング選択比1対1でエッチングして、厚膜に複数の溝を形成し、厚膜の平坦面並びに溝の斜面及び頂部及び底部に巨大磁気抵抗素子を構成するマグネット磁石を形成し、巨大磁気抵抗素子膜を形成し、巨大磁気抵抗素子膜が形成された半導体基板をマグネットアレイに近接配置して熱処理を施し、巨大磁気抵抗素子膜の一部をエッチングにより除去し、以って、厚膜の平坦面並びに溝の斜面に巨大磁気抵抗素子を構成する感磁部を形成し、保護膜を形成する。
- [0007] 上記において、パッシベーション膜を上層及び下層で構成してもよい。この場合、平坦化層の一部を除去してビア及びパッドを露出し、ビア及びパッドからパッシベーション膜の上層を除去し、レジスト膜のエッチング後、ビアの中央部に存在する厚膜とパッシベーション膜の下層を除去して、ビアの導体部を露出させ、バイアス磁石の形成後、バイアス磁石とビアの導体部とを接続する配線膜を形成し、保護膜の形成後、パッドを覆う厚膜とパッシベーション膜の下層を除去して、パッドの導体部を露出させる。
- [0008] 本発明の第2のポイントは、厚膜に複数の溝を形成する前に、レジスト膜に複数の溝を形成することである。即ち、レジスト膜の形成後、厚膜に形成される複数の溝の形状に相当する複数の突起を設けた型をレジスト膜に押し当てて複数の溝を形成す

る。或いは、レジスト膜の形成後、厚膜に形成される溝の中央部から両端部に向かって単位面積当たりの数が徐々に増加するような微細パターンを有するフォトマスクをレジスト膜に対向配置し、レジスト膜を露光して現像することによりレジスト膜に溝を形成する。

- [0009] 本発明の第3のポイントは、レジスト膜の加熱処理後、レジスト膜と厚膜に対して高イオン性エッチング条件にて反応性イオンエッチング法を実行し、以って、厚膜に複数の溝を形成することである。また、厚膜の上に高密度プラズマCVD法により酸化ケイ素を堆積して絶縁膜を形成し、かつ、絶縁膜の一部について直線状の稜線を有する複数の突起部を形成し、その後、複数の突起部を有する絶縁膜と厚膜とを高イオン性エッチング条件にてエッチングして、厚膜に複数の溝を形成し、かつ、ビア及びパッドにおいて残存する厚膜の厚さを減少せしめるようにしてもよい。

これにより、ジグザグ状に連続する複数の溝を厚膜に形成するとともに、各溝の斜面の平坦度を向上せしめることができる。

- [0010] 本発明の第4のポイントは、エッチング制御を容易にすることで溝の斜面に一定の傾斜角度を付与し、以って、良好な特性を有する巨大磁気抵抗素子を形成することにある。

即ち、磁気センサにおいて、厚膜と半導体基板との間にエッチングストップ膜を形成する。詳細には、厚膜とパッシベーション膜との間に絶縁膜を形成し、これをエッチングストップとして利用してエッチングを実行する。

- [0011] これにより、レジスト膜と厚膜とのエッチング選択比を大きくすることができ、また、エッチングにより厚膜をエッチングストップ膜に向かって凹ませるようにして溝を形成することができる。

- [0012] 本発明の第5のポイントは、厚膜に形成される溝の斜面の傾斜角度のバラツキ、特に、斜面の上側と下側との傾斜角度のバラツキに起因する磁気センサの感知精度のバラツキを改善することである。即ち、各溝の斜面を上側の第1斜面と下側の第2斜面とで構成し、第2斜面の傾斜角度が第1斜面の傾斜角度に比べて大きく、また、巨大磁気抵抗素子の感磁部を第2斜面に形成する。これにより、感磁部の表面の平坦度を向上せしめ、以って、Z軸方向において巨大磁気抵抗素子の感知方向を揃え、

かつ、感度の高い磁気センサを実現することができる。

[0013] 本発明の第6のポイントは、均一にプラズマエッチングを実行することの困難さに起因して溝の周辺部形状が不確定となり、溝の周辺部と中央部において所望の平坦度や傾斜角度を得ることが困難となることに鑑み、所定の形状を有する溝についてののみ巨大磁気抵抗素子を形成することである。

[0014] 即ち、複数の溝の内、少なくとも1つについて第1ダミー斜面を形成し、第1ダミー斜面には巨大磁気抵抗素子を形成しない。また、複数の溝の長手方向の端部に近接して第2ダミー斜面を形成する。

[0015] 本発明の第7のポイントは、半導体基板上の厚膜に形成される溝の斜面の端部に丸みをもたせることにより、斜面形状及び傾斜角度を均一化することである。

発明の効果

[0016] 本発明では、1枚の半導体基板上にX軸、Y軸、及びZ軸方向の磁界の強さを検知する巨大磁気抵抗素子を搭載し、以って、小型の三軸磁気センサを実現している。半導体基板に形成された厚膜を処理して溝を形成し、溝の斜面の良好な平坦性を有する部分に巨大磁気抵抗素子の感磁部を形成することにより、性能のよい磁気センサを実現できる。ビアの凹部縁部において、マグネット膜からなる配線の上に巨大磁気抵抗素子膜を積層しているので、段差部の隅部における配線の断線を防止できる。また、強磁界安定性を有する巨大磁気抵抗素子を実現することができる。

[0017] 上記の磁気センサの製造方法によれば、溝の形成と、溝の斜面における巨大磁気抵抗素子の形成とを一連のプロセスで実行することができる。更に、ビア及びパッドについても一連のプロセスで形成することができる。これにより、効率的に磁気センサを製造することができる。

[0018] 半導体基板上のレジスト膜に複数の溝を予め形成することにより、エッチングの際、厚膜に所定形状の溝を容易に形成することができ、また、溝の斜面の平坦度を向上せしめることができる。これにより、所定の感知方向を有した感度の良いZ軸センサを形成することができる。

図面の簡単な説明

[0019] [図1]本発明の第1実施例に係る磁気センサの半導体基板上に配置されるX軸セン

サ、Y軸センサ、及びZ軸センサをなす巨大磁気抵抗素子を示す平面図である。

[図2]巨大磁気抵抗素子の内部構造の一例を示す平面図である。

[図3]Z軸センサを構成する巨大磁気抵抗素子の構造を示す平面図である。

[図4]Z軸センサを構成する巨大磁気抵抗素子の形成方法を示す断面図である。

[図5]Z軸センサを構成する巨大磁気抵抗素子の配置例を示す斜視図である。

[図6]Z軸センサを構成する巨大磁気抵抗素子の他の配置例を示す斜視図である。

[図7]X軸センサ、Y軸センサ、及びZ軸センサにおける巨大磁気抵抗素子の結線方法を示す結線図である。

[図8]第1実施例に係る磁気センサにおけるビアの構造を示す断面図である。

[図9]第1実施例に係る磁気センサの製造方法を示す断面図である。

[図10]図9に引き続き、第1実施例に係る磁気センサの製造方法を示す断面図である。

[図11]図10に引き続き、第1実施例に係る磁気センサの製造方法を示す断面図である。

[図12]図11に引き続き、第1実施例に係る磁気センサの製造方法を示す断面図である。

[図13]第1実施例に係る磁気センサの製造方法のピニング処理において使用されるマグネットアレイの磁石の極性と半導体基板上の巨大磁気抵抗素子との関係を示す平面図及び断面図である。

[図14]図13(b)に示すピニング処理において巨大磁気抵抗素子に作用する磁力線の向きを示す断面図である。

[図15]第2実施例において、Z軸センサを構成する巨大磁気抵抗素子の構造を示す平面図である。

[図16]図15に示すZ軸センサの巨大磁気抵抗素子の形成方法を示す断面図である。

。

[図17]第2実施例に係る磁気センサの製造方法を示す断面図であり、第1実施例における図10に相当する。

[図18]図17(c)に示すようにスタンプ法により溝形成部においてジグザグ上の突起及

び溝を形成するプロセスを示す断面図である。

[図19]図17に引き続き、第2実施例に係る磁気センサの製造方法を示す断面図である。

[図20]図19に引き続き、第2実施例に係る磁気センサの製造方法を示す断面図である。

[図21]半導体基板上のレジスト膜に溝を形成する際用いられる多数の微細パターンを有するフォトマスクを示す概念図及びパターン率を示すグラフである。

[図22]パターン率及び露光後のレジスト厚さとの関係を示すグラフである。

[図23]フォトマスクにより形成された溝の形状を模式的に示す断面図である。

[図24]本発明の第3実施例において、高密度プラズマCVD法により溝形成部の絶縁膜に複数の斜面を有する突起を形成する方法を示す断面図である。

[図25]本発明の第4実施例において、Z軸を構成する巨大磁気抵抗素子の形成方法を示す断面図である。

[図26]本発明の第4実施例に係る磁気センサの製造方法を示す断面図であり、図9に引き続いて実行されるプロセスを示す。

[図27]図26に引き続き、第4実施例に係る磁気センサの製造方法を示す断面図である。

[図28]図27に引き続き、第4実施例に係る磁気センサの製造方法を示す断面図である。

[図29]図28に引き続き、第4実施例に係る磁気センサの製造方法を示す断面図である。

[図30]図29に引き続き、第4実施例に係る磁気センサの製造方法を示す断面図である。

[図31]本発明の第5実施例に係る磁気センサに搭載されるZ軸センサを構成する巨大磁気抵抗素子を示す平面図である。

[図32]図31においてIV-IV視断面図である。

[図33]図32において破線で囲んだ部分の拡大断面図である。

[図34]第5実施例に係る磁気センサの製造方法を示す断面図であり、図10に引き続

き実行される。

[図35]図34に引き続き、第5実施例に係る磁気センサの製造方法を示す断面図である。

[図36]本発明の第6実施例に係る磁気センサに搭載されるZ軸センサを構成する巨大磁気抵抗素子を示す平面図である。

[図37]図36においてIV-IV視断面図である。

[図38]第6実施例に係る磁気センサの製造方法を示す断面図である。

[図39]図38に引き続き、第6実施例に係る磁気センサの製造方法を示す断面図である。

[図40]図39に引き続き、第6実施例に係る磁気センサの製造方法を示す断面図である。

[図41]図40に引き続き、第6実施例に係る磁気センサの製造方法を示す断面図である。

[図42]本発明の第7実施例に係る磁気センサに搭載されるZ軸センサを構成する巨大磁気抵抗素子の構造を示す平面図である。

[図43]第7実施例に係るZ軸センサを構成する巨大磁気抵抗素子の配置例を示す斜視図である。

[図44]第7実施例に係るZ軸センサを構成する巨大磁気抵抗素子の他の配置例を示す斜視図である。

[図45]第7実施例に係る磁気センサの製造法において、厚膜に形成される溝の斜面の端部を連続して丸みをもたせたことを示す概念図である。

符号の説明

- [0020] A ビア
 B パッド
 C 溝形成部
 1 半導体基板
 2a、2b、2c、2d X軸センサを構成する巨大磁気抵抗素子
 3e、3f、3g、3h Y軸センサを構成する巨大磁気抵抗素子

4i、4j、4k、4l Z軸センサを構成する巨大磁気抵抗素子

5 感磁部

6 バイアス磁石

7 配線層

8 溝

8A、8E、8G、8K、8M、8Q、8S、8W 第1斜面

8B、8D、8H、8J、8N、8P、8T、8V 第2斜面

21a ビアAの導体部

21b パッドBの導体部

27 パッシベーション膜

28 保護膜

31 平坦化膜

32 パッシベーション膜

33 酸化ケイ素膜

34 窒化ケイ素膜

35 厚膜

36 レジスト膜

37 絶縁膜

38 レジスト膜

40 フォトマスク

41 微細パターン

50 斜面

発明を実施するための最良の形態

[0021] 本願発明は小型化及び検知精度の向上を図った巨大磁気抵抗素子を用いた磁気センサを実現するものであり、種々の実施例に従い添付図面とともに説明する。

[0022] (第1実施例)

図1は、本願発明の第1実施例に係る磁気センサを模式的に示しており、半導体基板上に配置した複数の巨大磁気抵抗素子のレイアウトを示している。

- [0023] 図1において、符号1はシリコンよりなる半導体基板を示し、ここには磁気センサの駆動回路、信号処理回路等の半導体集積回路、並びに配線層が予め形成されており、その上に、平坦化膜、パッシベーション膜、酸化ケイ素膜(図示せず)が順次積層されて厚膜を形成している。
- [0024] 半導体基板1の厚膜上には、X軸センサ2、Y軸センサ3、及びZ軸センサ4、が設けて、三軸方向における外部磁界の強さを検知する。図1に示す座標軸において、X軸センサ2はX軸方向の感度、Y軸センサ3はY軸方向の感度、Z軸センサ4はZ軸方向の感度を有している。
- 詳述すると、X軸センサ2は4個の巨大磁気抵抗素子2a、2b、2c、2dより構成され、Y軸センサ3は4個の巨大磁気抵抗素子3e、3f、3g、3hより構成され、Z軸センサ4は4個の巨大磁気抵抗素子4i、4j、4k、4lより構成される。
- X軸センサ2及びY軸センサ3は半導体基板1の厚膜の平坦面に設けられ、Z軸センサ4は厚膜に形成された溝の斜面に設けられている。詳細については、後述する。
- [0025] X軸センサ2をなす4個の巨大磁気抵抗素子の内、巨大磁気抵抗素子2a、2bは半導体基板1の略中央部において隣接配置されており、巨大磁気抵抗素子2c、2dは半導体基板1の端部に隣接配置されている。即ち、巨大磁気抵抗素子2c、2dは巨大磁気抵抗素子2a、2bと距離をおき、かつ、対向配置されている。
- [0026] Y軸センサ3をなす4個の巨大磁気抵抗素子の内、巨大磁気抵抗素子3e、3fは半導体基板1の一端部において隣接配置されており、巨大磁気抵抗素子3g、3hは半導体基板1の他端部に隣接配置されている。即ち、巨大磁気抵抗素子3e、3fは巨大磁気抵抗素子3g、3hと距離をおき、かつ、対向配置されている。
- [0027] Z軸センサ4をなす4個の巨大磁気抵抗素子の内、巨大磁気抵抗素子4k、4lは巨大磁気抵抗素子3e、3fに近接配置されており、巨大磁気抵抗素子4i、4jは巨大磁気抵抗素子2a、2bから少し離れて隣接配置されている。
- [0028] 上記のX軸センサ2、Y軸センサ3、Z軸センサ4における巨大磁気抵抗素子の配置は以下の規則性に基づき決定される。

図1において、破線LA、LB、LCは半導体基板1をその長手方向に四等分する仮想線であり、破線LDは半導体基板1をその短手方向に二等分する仮想線である。ま

た、破線LAとLDの交点をSAとし、破線LBとLDの交点をSBとする。

[0029] 即ち、X軸センサ2において、巨大磁気抵抗素子2a、2bと巨大磁気抵抗素子2c、2dは交点SAに対して対称に配置される。Y軸センサ3において、巨大磁気抵抗素子3e、3fと巨大磁気抵抗素子3g、3hは交点SAに対して対称に配置される。Z軸センサ4において、巨大磁気抵抗素子4i、4jと巨大磁気抵抗素子4k、4lは交点SBに対して対称に配置される。

[0030] 上記の巨大磁気抵抗素子は従来の巨大磁気抵抗素子と同様に構成されており、例えば、図2に示すように各巨大磁気抵抗素子は4個の感磁部5とそれらを電氣的に直列接続する3個のバイアス磁石6より構成される。

感磁部5は巨大磁気抵抗素子の本体をなしており、細長い帯状の平面形状を有している。また、感磁部5は半導体基板1に形成される溝の長手方向に平行に配置される。

[0031] 感磁部5は、磁化方向が固定されたピンド層と、磁化方向が外部磁界に応じて変化するフリー層を備えており、詳細には、フリー層上に導電性のスペーサ層、ピンド層、及びキャッピング層を順次積層してなる多層金属薄膜積層物から構成される。

[0032] 例えば、フリー層はコバルト-ジルコニウム-ニオブのアモルファス磁性層とニッケル-鉄の磁性層とコバルト-鉄の磁性層よりなる三層構造を有している。また、スペーサ層は銅よりなり、ピンド層はコバルト-鉄の強磁性層と白金-マンガンの反磁性層よりなる二層構造を有し、キャッピング層はタンタルよりなる。

[0033] バイアス磁石6は、4個の感磁部5を電氣的に直列接続するとともに、感磁部5の磁気特性を整えるためのバイアス磁界を感磁部5に印加する。バイアス磁石6は、例えば、コバルト-白金-クロム層とクロム層よりなる二層構造を有する薄膜金属積層物より構成される。

[0034] 半導体基板1の平坦面に設けられたX軸センサ2及びY軸センサ3を構成する巨大磁気抵抗素子2a、2b、2c、2d、3e、3f、3g、3hは夫々図2に示すように4個の感磁部5と3個のバイアス磁石6より構成され、外側の2個の感磁部5はバイアス磁石6と接続されておらず、その端部は配線層7と夫々接続され、当該配線部7はビア(図示せず)と接続されている。

- [0035] 図3乃至図5はZ軸センサ4を構成する4個の巨大磁気抵抗素子のうち、巨大磁気抵抗素子4i、4jの詳細な構造を示している。尚、他の巨大磁気抵抗素子4k、4lの詳細構造も同様であるため、その説明を省略する。
- [0036] 図3は、巨大磁気抵抗素子4i、4jを示す平面図であり、図4は図3におけるIV-IV視断面図である。図5は巨大磁気抵抗素子4i、4jに含まれる感磁部5とバイアス磁石6の配置を模式的に示した斜視図である。
- [0037] 図4において、符号11は半導体基板1上に堆積された酸化ケイ素からなる厚膜を示す。厚膜11を部分的に削り取って4個のV字状の溝8を平行に形成する。
- [0038] 各溝8は、所定寸法を有する細長い凹部であり、深さが3~8 μm 、長さが200~400 μm であり、斜面の幅が3~16 μm となっている。斜面と厚膜11の表面との角度は30~80°に設定されており、好ましくは、70°程度に設定される。
- 尚、図4では溝8の斜面を平坦に描いているが、実際の製造プロセスでは、斜面は外側(即ち、半導体基板1の上側)に向けてやや張り出して湾曲している。
- [0039] 図4には、4つの溝8が示されており、互いに隣接する8つの斜面にはその長手方向に沿い、かつ、斜面の中央部の平坦な位置に8個の巨大磁気抵抗素子の感磁部5が設けられる。また、巨大磁気抵抗素子4jにおいて、溝8の一方の斜面に形成された感磁部5から底部を経て他方の斜面に形成された感磁部5にかけてバイアス磁石6が形成されており、溝8内において隣接する感磁部5が電氣的に接続される。更に、巨大磁気抵抗素子4iにおいて、溝8の斜面に形成された感磁部5から頂部を経て隣接する溝8の斜面に形成された感磁部5にかけてバイアス磁石6が形成されており、隣接する溝8内の感磁部5が電氣的に接続される。
- 上記のようにして、各巨大磁気抵抗素子において、4個の感磁部5が3個のバイアス磁石6により電氣的に接続される。
- [0040] 前述したように、厚膜11の平坦面に設けられたX軸センサ2及びY軸センサ3をなす巨大磁気抵抗素子と同様に、Z軸センサ4をなす各巨大磁気抵抗素子において、外側の2個の感磁部5はバイアス磁石6と接続されておらず、配線層7と接続され、配線部7はビア(図示せず)に接続される。配線部7は巨大磁気抵抗素子のバイアス磁石6を構成するマグネット膜により形成されている。これにより、各巨大磁気抵抗素子

において、バイアス磁石6と配線部7を同時に作成することができる。

[0041] X軸センサ2及びY軸センサ3をなす巨大磁気抵抗素子は夫々図2に示すように感知方向は感磁部5の長手方向に直交し、半導体基板1の表面に平行に設定されている。また、感磁部5のピニング方向及びバイアス磁石6のバイアス磁界の着磁方向は、感磁部5の長手方向に対して30〜60°、好ましくは45°傾いており、半導体基板1の表面に平行となっている。

[0042] Z軸センサ4に含まれる巨大磁気抵抗素子4i、4jは、図5に示すように、感知方向は感磁部5の長手方向に対して直交し、溝8の斜面に平行、かつ、上向きに設定されている。また、感磁部5のピニング方向及びバイアス磁石6の着磁方向は、感磁部5の長手方向に対して30〜60°、好ましくは45°傾いており、溝8の斜面に平行かつ上向きに設定されている。

[0043] Z軸センサ4に含まれる巨大磁気抵抗素子4k、4lは、図6に示すように、感知方向は感磁部5の長手方向に対して直交し、溝8の斜面に平行かつ下向きに設定されている。また、感磁部5のピニング方向及びバイアス磁石6のバイアス磁界の着磁方向は、感磁部5の長手方向に対して30〜60°、好ましくは45°傾いており、溝8の斜面に平行かつ下向きに設定されている。

[0044] 上記のような感知方向を実現するためには、マグネットアレイを半導体基板の上側から接近させた状態で当該半導体基板を260〜290℃の温度で3〜5時間加熱処理を行う。この方法は、従来のピニング処理と同様である。

[0045] 通常、巨大磁気抵抗素子における感知方向とピニング方向はともに感磁部5の長手方向に対して直交し、半導体基板の表面に平行に設定されるが、本実施例では、感知方向とピニング方向とを異ならせており、これにより強磁界安定性を向上せしめている。

[0046] 図7は、X軸センサ2を構成する4個の巨大磁気抵抗素子2a、2b、2c、2d、Y軸センサ3を構成する4個の巨大磁気抵抗素子3e、3f、3g、3h、及びZ軸センサ4を構成する4個の巨大磁気抵抗素子4i、4j、4k、4lの夫々の結線方法を示しており、各センサに含まれる4個の巨大磁気抵抗素子はブリッジ接続されている。

[0047] 上記のブリッジ接続により、図1に示す座標軸のX軸、Y軸、Z軸の正方向に磁界が

印加されると、X軸センサ2、Y軸センサ3、Z軸センサ4の各出力が増加し、X軸、Y軸、Z軸の逆方向に磁界が印加されるとX軸センサ2、Y軸センサ3、Z軸センサ4の各出力が減少する。

[0048] 図1乃至図6には示されていないが、X軸センサ2、Y軸センサ3、Z軸センサ4を構成する全ての巨大磁気抵抗素子を含む半導体基板1の全面は、窒化ケイ素よりなるパッシベーション膜、及びポリイミドよりなる保護膜により被覆されており、外部環境から保護されている。

[0049] 図8は、半導体基板1に形成されたビアの構造を示しており、符号21aはビアを構成するアルミニウムからなる導体部を示す。導体部21aはその下層に形成される配線層と電氣的に接続されている。

導体部21aの表面の周辺部は、平坦化膜22、第1のパッシベーション膜23、及び厚膜11で覆われている。厚膜11の端面は傾斜面となっている。

[0050] 導体部21aの表面の中央部は、配線膜25で被覆されている。配線膜25は前記の巨大磁気抵抗素子の配線層7に接続される。配線層7と同様に、配線膜25もバイアス磁石6をなすマグネット膜より形成されている。このため、配線膜25はバイアス磁石6と同時に作成することができる。

[0051] 厚膜11の端部近辺において、配線膜25には段差部が形成されており、当該段差部の隅部では製造プロセスに起因して配線膜25の厚さが薄くなり断線の虞がある。このため、段差部及び中央部を覆うように保護導体膜26を積層している。

[0052] 本実施例では、前記感磁部5をなす巨大磁気抵抗素子膜を保護導体膜26として用いている。これにより、感磁部5の形成と同時に配線膜25上に保護導体膜26を積層することができ、以って、配線膜25の断線を回避することができる。

また、上記の構造を有するビアは、窒化ケイ素よりなるパッシベーション膜27、及びポリイミドよりなる保護膜28により被覆され、外部環境から保護されている。

[0053] 本実施例に係る磁気センサは、1枚の半導体基板1上にX軸センサ2、Y軸センサ3、Z軸センサ4を配置しており、小型の三軸磁気センサとして機能する。また、溝8の斜面の平坦性が良好な部分に巨大磁気抵抗素子の感磁部5を形成しているため、良好な感知度を有する磁気センサを製造することができる。

[0054] ビアの開口縁部において、バイアス磁石膜よりなる配線膜25上に巨大磁気抵抗素子膜よりなる保護導体膜26が積層され、以って、段差部の隅部における配線膜25の断線を回避している。

また、感磁部5のピニング方向をその長手方向に対して30°～60° 傾けることにより、強磁界安定性を有する巨大磁気抵抗素子を作成することができる。

[0055] 次に、本実施例に係る磁気センサの製造方法について説明する。

以下においては、溝8の斜面に形成されたZ軸センサ4を構成する巨大磁気抵抗素子、ビア、及びパッドの製造方法を主に説明している。

図9、図10、図11、及び図12は本実施例に係る磁気センサの製造方法におけるビアA、パッドB、及び溝形成部Cの断面図を夫々示している。

まず、半導体基板1を用意する。即ち、シリコンよりなる半導体基板1には磁気センサの駆動回路、信号処理回路等の半導体集積回路、及び配線層が予め形成されている。

[0056] 図9(a)に示すように、半導体基板1には、その最上層である配線層の一部を構成するビアAとパッドBとが形成されており、ビアAにはアルミニウムからなる導体部21aが形成され、パッドBにはアルミニウムからなる導体部21bが形成されている。

[0057] 上記の半導体基板1上に平坦化膜31を形成する。例えば、平坦化膜31は、プラズマCVD法(plasma chemical vapor deposition)による厚さ300nmの酸化ケイ素膜、厚さ600nmのSOG膜、及びトリエトキシシランよりなる厚さ50nmの酸化ケイ素膜を順次積層して形成する。

[0058] 次に、図9(b)に示すように、エッチングにより、ビアAの導体部21a及びパッドBの導体部21b上から平坦化膜31を取り除き、以って、導体部21a及び21bを露出させる。次に、図9(c)に示すように、半導体基板1の全面に第1のパッシベーション膜32(図8に示す第1のパッシベーション膜23に対応する。)を形成する。例えば、第1のパッシベーション膜32は、プラズマCVD法による厚さ250nmの酸化ケイ素膜33、及びプラズマCVD法による厚さ600nmの窒化ケイ素膜34を順次積層して形成する。

[0059] 次に、図9(d)に示すように、エッチングにより、ビアAの導体部21a及びパッドBの導体部21b上に堆積している窒化ケイ素膜34を除去する。その際、酸化ケイ素膜33

は残し、窒化ケイ素膜34の除去範囲は平坦化膜31の開口幅よりも小さいものとする。これにより、ビアA及びパッドBの開口部において、平坦化膜31の端部が露出し、以って、水分が配線層や半導体集積回路に侵入することを防止している。

[0060] 次に、図10(a)に示すように、プラズマCVD法により、酸化ケイ素よりなる厚さ5 μ m程度の厚膜35を形成する。この厚膜35は、図4及び図8に示した厚膜11に相当し、溝8が形成されるものである。

[0061] 次に、図10(b)に示すように、厚膜35の全面に厚さ3 μ m程度のレジスト膜36を形成する。その後、レジスト膜36の一部をエッチングにより除去して、所定のレジストパターンを形成する。これにより、ビアA及びパッドB、並びに溝形成部Cにおける溝領域を露出させる。

[0062] 次に、図10(c)に示すように、残存しているレジスト膜36に対して温度150℃、時間10分程度の加熱処理を施し、当該レジスト膜36を熔融させる。この加熱処理によるレジスト溶解により発生する熔融液の表面張力に起因して、レジスト膜36の上面が盛り上がり、同時に端面が傾斜する。特に溝形成部Cにおけるレジスト膜36は複数の直線状の稜線を有する突起部に変形し、その断面形状の高さは約5 μ mとなる。

[0063] その後、レジストと酸化ケイ素のエッチング選択比が略1対1となるような条件で、レジスト膜36と厚膜35に対してドライエッチングを行う。ドライエッチングは以下の条件で実行される。

エッチングガス:CF₄/CHF₃/N₂/O₂の混合ガスであり、その混合比を60/180/10/100sccmとした。

処理圧力:400mトル(53.2Pa)。

RFパワー:750W。

電極温度:15℃。

チャンバー温度:15℃。

[0064] ドライエッチングにおいて、図11(a)に示すように、ビアA及びパッドBの凹部の広さはパッシベーション膜32の凹部の広さより大きくならないように設定されている。その後、厚膜35上に残存しているレジスト膜36を除去する。

[0065] これにより、図11(a)に示すように、溝形成部Cにおける厚膜35には複数の溝8が

形成される。次に、図11(b)に示すように、ビアAの導体部21aを覆っている厚膜35及び酸化ケイ素膜33を除去し、以って、導体部21aを露出させる。

[0066] 次に、半導体基板1の全面に、巨大磁気抵抗素子のバイアス磁石6となるマグネット膜をスパッタリングにより形成し、その後、レジストワーク及びエッチングにより不要部分を除去する。図11(c)に示すように、溝8の斜面に沿ってバイアス磁石6を形成し、同時に、ビアAの導体部21a上に配線膜25を形成し、以って、当該配線膜25と巨大磁気抵抗素子のバイアス磁石6とを繋ぐ配線層7を形成する。

[0067] 前述したように、マグネット膜は、例えば、Co-Cr-Ptよりなる多層金属薄膜として形成される。その際、厚膜35の平坦面において、X軸センサ2及びY軸センサ3を構成する巨大磁気抵抗素子のバイアス磁石6と対応する配線層7も形成する。

[0068] バイアス磁石6を形成するレジストワークの際、溝8の斜面においてマグネット膜のエッチングを適切に行うため、所定のパターンが形成されたレジスト膜に対して加熱処理を施してレジスト膜の端面を傾斜させることが好ましい。

[0069] 次に、半導体基板1の全面に、巨大磁気抵抗素子の感磁部5となる巨大磁気抵抗素子膜をスパッタリングにより形成する。前述したように、巨大磁気抵抗素子膜は多層金属薄膜として形成される。

その後、半導体基板1をマグネットアレイ上に設置して、温度260～290℃、時間3～5時間の熱処理を実行し、以って、巨大磁気抵抗素子膜に対してピニング処理を施す。ピニング処理の詳細については後述する。

[0070] その後、巨大磁気抵抗素子膜に対してレジストワーク及びエッチングを行い、不要部分を除去する。これにより、図12(a)に示すように、溝8の斜面上に感磁部5を形成し、以って、巨大磁気抵抗素子の形成を完了する。即ち、Z軸センサ4の作成を完了する。

[0071] 同時に、ビアAの導体部21a上において事前に形成されているマグネット膜からなる配線膜25上において、巨大磁気抵抗素子膜を残し、これを保護導体膜26とする。これにより、図8に示すようなビアAの構造を得る。また、同時に、厚膜35の平坦面においても感磁部5を形成して巨大磁気抵抗素子を作成する。これにより、X軸センサ2とY軸センサ3の作成を完了する。

[0072] 次に、図12(b)に示すように、プラズマCVD法により厚さ1 μ m程度の窒化ケイ素膜からなるパッシベーション膜27を形成し、更に、ポリイミドからなる保護膜28を形成する。パッドBにおける保護膜28及びパッシベーション膜27の部分を除去し、凹部を形成する。

[0073] 次に、図12(c)に示すように、保護膜28をマスクとしてエッチングを行い、パッドBの導体部21bを覆っているパッシベーション膜32と厚膜35を除去し、以って、導体部21bを露出させる。これにより、本実施例の磁気センサの作成を完了する。

[0074] 前記のピニング処理について図13及び図14を参照して説明する。図13は、マグネットアレイ内の磁石の配置を示している。マグネットアレイは半導体基板1上の巨大磁気抵抗素子が形成される表面の上方に配置される。

[0075] 図13(a)は、半導体基板1の表面における巨大磁気抵抗素子とマグネットアレイ内の磁石との位置関係を示すものであり、S、Nは半導体基板1の表面に対向する磁石の極性を示している。図13(b)は、図13(a)の破線Qの断面における極性及び磁石の配置を示す。図13(c)は、図13(a)の破線Rの断面における極性及び磁石の配置を示す。また、図14は、図13(b)の拡大図であり、1個の巨大磁気抵抗素子に作用する磁力線の向きを示している。

[0076] 本実施例に係る磁気センサの製造方法によれば、1枚の半導体基板1上にX軸センサ2、Y軸センサ3、及びZ軸センサ4を形成することができ、また、ビアA及びパッドBも同時に作成することができるため、一連の連続したプロセスで小型の三軸磁気センサを迅速に製造することができる。

[0077] (第2実施例)

次に、本発明の第2実施例について説明する。

第2実施例は第1実施例と同様に、半導体基板1上に形成された複数の巨大磁気抵抗素子を用いてX軸センサ2、Y軸センサ3、及びZ軸センサ4を形成するため、第1実施例と同様の符号を用い、重複する部分の説明を省略する。

[0078] 第2実施例についても、図1及び図2に示す構成が採用されている。第1実施例と第2実施例との構造上の相違について図15及び図16を参照して説明する。即ち、図3及び図4と同様に、図15及び図16はZ軸センサ4の巨大磁気抵抗素子4i、4jを

示しているが、隣接する溝8の斜面、底部、及び頂部には夫々符号が付されている。

図16に示すように、各溝8は所定寸法を有する細長い凹部であり、深さが $3\sim 7\mu\text{m}$ 、長さが $250\sim 300\mu\text{m}$ であり、斜面の幅が $3\sim 8\mu\text{m}$ となっている。斜面と厚膜11の表面との角度は $30\sim 80^\circ$ に設定されており、好ましくは、 70° 程度に設定される。

尚、図16では溝8の斜面を平坦に描いているが、実際の製造プロセスでは、斜面は外側(即ち、半導体基板1の上側)に向けてやや張り出して湾曲している。

[0079] 図15及び図16に示す巨大磁気抵抗素子4ilにおいて、斜面8aにはバイアス磁石6を介して感磁部5が形成されている。底部8bを経て斜面8aに隣接する斜面8cに形成された感磁部5は、頂部8dを経て斜面8cに隣接する斜面8eに形成された感磁部5とバイアス磁石6により電氣的に接続されている。また、底部8fを経て斜面8eに隣接する斜面8gにはバイアス磁石6を介して感磁部5が形成されている。

第2実施例に係る磁気センサの詳細構造は、図5乃至図8に示すように第1実施例と同様である。

[0080] 次に、第2実施例に係る磁気センサの製造方法について説明する。

前記第1実施例における図9に示した製造プロセスについては、第2実施例についても同様であるため、その説明を省略する。

図9(a)～(d)に示すプロセスを経た後、図17(a)に示すように、プラズマCVD法により酸化ケイ素からなる厚さ $5\mu\text{m}$ 程度の厚膜35を形成する。後のプロセスにおいて、複数の溝8が厚膜35を利用して形成される。

[0081] 次に、図17(b)に示すように、厚膜35の上に厚さ $5\mu\text{m}$ 程度のレジスト膜36を全面に形成する。その後、図17(c)に示すように、エッチングによりレジスト膜36の一部を除去して、ビアA及びパッドBを露出させる。また、スタンプ法により溝形成部Cにおけるレジスト膜36の一部を成形して連続するジグザグ形状を形成する。即ち、複数の突起及び溝が形成され、各突起の断面形状は略三角形状であり、その頂部は尖っている。

[0082] 上記のスタンプ法により溝形成部Cにおけるレジスト膜36に複数の溝を形成するプロセスについて図18を参照して説明する。

スタンパ法を用いる場合、半導体基板1の最上層の配線層を形成する際に、半導体基板1の両端部には少なくとも1対の位置決め用のアライメントマークを予め設ける。

- [0083] 先ず、図18(a)に示すように、厚膜35の全面にレジストを塗布して、レジスト膜36を形成する。その後、レジスト膜36に対して温度120℃、5分間の加熱処理を施す。これにより、厚膜35とレジスト膜36との密着性が向上し、後工程において、レジスト膜36に接触配置した型をレジスト膜36から容易に剥離できるようになる。
- [0084] 次に、図18(b)に示すように、コンタクトアライナー(図示せず)に型37を取り付けた後、レジスト膜36が形成された半導体基板1をコンタクトアライナーの所定位置に配置し、以って、型37を半導体基板1に形成されたレジスト膜36に対向配置する。この際、半導体基板1に付与されたアライメントマークと型37において半導体基板1に対向する位置に付与されたアライメントマークとの位置合せを行い、以って、半導体基板1と型37と正確な位置合せを行う。
- [0085] 型37は石英よりなり、上述のように、半導体基板1に相対する位置にアライメントマークが付与されている。また、型37において厚膜35の溝形成部Cに対応する位置には、ジグザグ状に連続する複数の突起37a(その断面は頂点を有する鋭角な三角形状となっている。)が形成されている。
- [0086] 次に、図18(c)に示すように、型37を半導体基板1上に形成されたレジスト膜36に押し当てる。後工程における、レジスト膜36と型37との離間を容易にするため、型37におけるレジスト膜との接触面(特に、突起37aが設けられている下面)にはフッ素樹脂を被覆したり、所定の表面処理(或いはシリコン処理)を施すことが望ましい。
- [0087] その後、レジスト膜36に対して温度150℃、10分間程度の加熱処理を実行し、以って、レジスト膜36を溶解する。これにより、ビアA及びパッドBの端面は傾斜し、溝形成部Cにおいて突起37aに相当する溝が形成される。
- 尚、レジスト膜36は室温から温度を上げてゆくと150℃において軟化し、更に温度が200℃を超えると、焼き固まってしまう。即ち、レジスト膜36は150℃の温度では固化しない。本実施例では、レジスト膜36が軟化した状態で型37を押し付けることにより、溝形成部Cを突起37aに応じた形状に変形する。次に、型37を半導体基板1上

のレジスト膜36に押し付けたまま、当該レジスト膜36を冷却し、その後、型37を離間させ、以って、レジスト膜36は形成された溝形状を変化させずに硬化する。また、加熱温度が100℃を超えた時点から、溶媒が揮発し始め、以って、半導体基板1とレジスト膜36との密着性を向上せしめる。

[0088] 次に、図18(d)に示すように、レジスト膜36から型37を離間する。これにより、型37の突起37aの形状に相当する溝36aが半導体基板1上のレジスト膜36に形成される。尚、上記の型37をフォトマスクと一体に設けて、レジスト膜36のパターン形成と溝36aの形成とを同時に行ってもよい。

[0089] 次に、図19(a)に示すように、レジストと酸化ケイ素のエッチング選択比1対1にて、レジスト膜36と厚膜35に対してドライエッチングを行い、以って、厚膜35に複数の溝8を形成し、同時に、ビアA及びパッドBにおいて薄くなった厚膜35を残す。

上記のドライエッチングは以下の条件にて実行する。

エッチングガス： CF_4 ／ CHF_3 ／ N_2 ／ O_2 、混合比60／180／10／100sccm。

圧力：400mTorr。

RF Power：750W。

電極温度：15℃。

チャンバ温度：15℃。

[0090] 上記のドライエッチングの際、図19(a)に示すように、ビアA及びパッドBの凹部の幅をパッシベーション膜32の凹部の幅よりも大きくならないように設定する。その後、厚膜35上に残存しているレジスト膜36を除去する。

[0091] これにより、図19(a)に示すように、厚膜35の溝形成部Cには複数の溝8が形成される。その後、図19(b)に示すように、ビアAを覆っている厚膜36及び酸化ケイ素膜33をレジストワーク及びエッチングにより除去し、以って、ビアAの導体部21aを露出する。

[0092] 次に、半導体基板1の全面に、巨大磁気抵抗素子のバイアス磁石6を形成するためのマグネット膜をスパッタリングにより形成する。その後、マグネット膜の不要部分をレジストワーク及びエッチングにより除去し、以って、図19(c)に示すように、複数の溝8の斜面にバイアス磁石6を形成し、同時に、ビアAの導体部21a上に配線膜25を

形成する。また、配線膜25と巨大磁気抵抗素子のバイアス磁石6を繋ぐ配線層7を形成する。

[0093] 前述したように、マグネット膜として多層金属薄膜が用いられる。

この際、厚膜35の平坦面において、X軸センサ2及びY軸センサ3を構成する巨大磁気抵抗素子のバイアス磁石6とその配線層7を形成する。

[0094] バイアス磁石6形成時のレジストワークにおいて、溝8の斜面におけるマグネット膜のエッチングを適切に行うため、所定のパターン形成後のレジスト膜36に対して加熱処理を行い、その端面を傾斜させる。

[0095] 次に、巨大磁気抵抗素子の感磁部5を形成するための巨大磁気抵抗素子膜をスパッタリングにより半導体基板1の全面に形成する。巨大磁気抵抗素子膜として、先に述べた多層金属薄膜を用いる。

その後、半導体基板1をマグネットアレイ上に設置して、温度260～290℃、3～5時間の熱処理を施し、以って、巨大磁気抵抗素子膜に対してピニング処理を施す。

[0096] その後、巨大磁気抵抗素子膜に対してレジストワーク及びエッチングを行い、不要部分を除去する。これにより、図20(a)に示すように、溝8の斜面に感磁部5を形成して、巨大磁気抵抗素子を作成する。これにより、Z軸センサ4の作成を完了する。

[0097] 上記において、ビアAの導体部21a上に形成されたマグネット膜からなる配線膜25上において巨大磁気抵抗素子膜を残し、保護導体膜26とする。これにより、図8に示すような構造のビアAを形成することができる。

同時に、厚膜35の平坦面にも感磁部5を形成し、以って、X軸センサ2及びY軸センサ3を構成する巨大磁気抵抗素子の作成を完了する。

[0098] 次に、図20(b)に示すように、プラズマCVD法により厚さ1 μ mの酸化ケイ素よりなるパッシベーション膜27を形成し、その上に、ポリイミドよりなる保護膜28を形成する。その後、パッドBにおける保護膜28及びパッシベーション膜27を除去し、パッドBを露出させる。

[0099] 次に、図20(c)に示すように、保護膜28をマスクとしてエッチングを行って、パッドBの導体部21bを覆っている酸化ケイ素膜33と厚膜35を除去し、以って、パッドBを露出させる。これにより、本実施例に係る磁気センサの製造を完了する。

[0100] 本実施例に係る磁気センサの製造方法によれば、1枚の半導体基板1上にX軸センサ2、Y軸センサ3、及びZ軸センサ4を配置するとともに、ビアA及びパッドBを形成することができ、以って、一連の連続したプロセスにより小型の三軸磁気センサを簡易に製造することができる。また、厚膜35に形成される複数の溝8の形状に相当する複数の突起37aを設けた型37を半導体基板1上に形成されたレジスト膜36に押し当てて当該溝8を形成するようにしたので、厚膜35のエッチングにおいて、容易に溝8を形成することができる。これにより、溝8の斜面を平坦度を向上させることができる。このような溝8の斜面において巨大磁気抵抗素子を構成する感磁部を形成することにより、一定の感知方向を有し、感度の高いZ軸センサを形成することができる。

[0101] 本実施例に係る磁気センサの製造方法において、半導体基板1上に形成されたレジスト膜36の溝形成部Cにおいて複数の溝8を形成するプロセスを以下のように変更することができる。

[0102] 即ち、図21(a)に示すようなグレーチクルよりなるフォトマスク40を用いる。フォトマスク40には、レジスト膜36をなすレジストの解像度よりも微細な解像度を有する多数のパターン41が形成されている。図21(b)に示すように、フォトマスク40においてレジスト膜36に形成される溝8の中央部から当該溝8の両端部に向かって、単位面積当たりの微細パターン41の数(以下、「パターン率」という。)が次第に増加するようになっている。パターン率は溝8の形状或いは溝8の斜面の傾きに依りて適宜調整することができる。

[0103] 上記のフォトマスク40を用いてレジスト膜36を露光すると、パターン率が高い領域ほど露光されやすく、パターン率の低い領域は露光されにくくなる。即ち、図22に示すように、露光後のレジスト厚さはパターン率に依りて変化する。この結果、図23に示すように、レジスト膜36には、中央部から両端部に向かって厚みが徐々に増加するような溝36aが形成される。

その後、エッチングにより厚膜に溝を形成して、所望の磁気センサを製造する。

[0104] 上記の変形例では、フォトマスク40を用いたレジスト膜36に対する溝36aの形成においてポジティブ型レジストを用いているが、当該フォトマスク40のパターン率の変化率を図22と反対に設定することによりネガティブ型レジストを形成し、これによりレジス

ト膜36に所望の溝を形成してもよい。

- [0105] 本実施例に係る磁気センサの製造方法によれば、1枚の半導体基板1にX軸センサ2、Y軸センサ3、及びZ軸センサ4を形成することができ、また、同時に、ビアA及びパッドBも形成することができる。これにより、一連の連続したプロセスにより小型の三軸磁気センサを迅速に製造することができる。

また、溝形成に当たって、溝の中央部から両端部に向かって単位面積当たりの数が徐々に増加するような微細パターン41を多数設けたフォトマスク40を用いることができる。フォトマスク40をレジスト膜36に対向配置し、レジスト膜36を露光及び現像して、所望の溝36aを形成する。これにより、厚膜35のエッチングにおいて所定形状の溝を形成し易くなるとともに、溝の斜面の平坦度を向上することができる。即ち、平坦度が向上された溝の斜面に巨大磁気抵抗素子の感磁部を設けて、一定の感知方向を有する感度の高いZ軸センサを形成することができる。

- [0106] (第3実施例)

第3実施例に係る磁気センサは、第1及び第2実施例に係る磁気センサと同様であるものの、その製造方法において一部異なっている。即ち、第1実施例において説明した図9及び図10のプロセスを実行した後、高イオン性エッチング条件による反応性イオンエッチング(RIE: reactive ion etching)法に従い、レジスト膜36と厚膜35に対してドライエッチングを行い、以って、厚膜35に複数の溝8を形成し、同時に、ビアA及びパッドBにおける厚膜35を薄くする。

- [0107] 反応性イオンエッチングにおける高イオン性エッチング条件は以下の通りである。
エッチングガス: $\text{CF}_4 / \text{CHF}_3 / \text{O}_2 / \text{Ar}$ 、混合比は30/90/50~100/50~20
Oscm。

圧力: 100~400mTorr。

RF Power: 750~1200W。

- [0108] 上記のような高イオン性エッチング条件により、第2実施例で用いた図19(a)に示すような形状を実現する。その後、第2実施例で説明したように図19(b)、(c)及び図20(a)、(b)、(c)のプロセスが実行される。

- [0109] 第3実施例によれば、1枚の半導体基板1上にX軸センサ2、Y軸センサ3、及びZ

軸センサ4を形成するとともに、ビアA及びパッドBも同時に形成することができ、以って、一連の連続したプロセスにより小型の三軸磁気センサを迅速に製造することができる。また、高イオン性エッチング条件による反応性イオンエッチング法に従い、ドライエッチングを行うことにより、溝形成部Cにおける厚膜35に形成される複数の溝8の断面形状をジグザグ上に連続することができ、溝8の斜面の平坦度を向上せしめることができる。

[0110] 尚、図9(a)～(d)に示すプロセスを実行した後、図24(a)、(b)に示すプロセスを実行するようにしてもよい。

即ち、図24(a)に示すように、プラズマCVD法により厚さ $5\mu\text{m}$ 程度の酸化ケイ素からなる厚膜35を形成する。ここで、溝形成部Cについてのみ、矩形上の断面を有する複数の突起部35aが形成される。

[0111] 次に、図24(b)に示すように、高密度プラズマCVD法により厚膜35上に酸化ケイ素を堆積して、厚さ $3\sim 5\mu\text{m}$ 程度の絶縁膜37を形成する。ここで、ビアA及びパッドBについては、平坦面を有する絶縁膜37が形成されるが、溝形成部Cについては、斜面を有する突起部37aが形成される。

[0112] 高密度プラズマCVD法は、高密度のプラズマ(例えば、電子密度 $1\times 10^9\sim 5\times 10^{10}/\text{cm}^3$)により酸化ケイ素を合成して堆積し、同時に、堆積された酸化ケイ素の一部をプラズマエッチングするものである。

上記の高密度プラズマCVD法により、酸化ケイ素よりなる絶縁膜37は厚膜35の突起部35aに堆積され、かつ、その周辺部よりも上方に突出する。溝形成部Cにおいて、絶縁膜37はその上部の隅部が削り取られ、これにより、斜面を有する突起部37aが形成される。

[0113] 高密度プラズマCVD法の条件は以下の通りである。

モノシラン流量: $50\sim 150\text{sccm}$ 。

酸素流量: $100\sim 200\text{sccm}$ 。

圧力: $1\sim 10\text{Pa}$ 。

温度: $250\sim 450^\circ\text{C}$ 。

高周波出力: $2\sim 5\text{kW}$ 。

周波数:10~20MHz。

- [0114] その後、反応性イオンエッチング法、プラズマドライエッチング法、イオンミリング法により、厚膜35及び絶縁膜37の全体をエッチバックして、厚膜35に斜面を有する突起を形成する(図19に示す溝形成部C参照)。このようにして、複数の溝を形成する。その後、ビアA及びパッドBのみについて開口パターンを有するレジスト膜36をマスクとして用い、厚膜35に対してドライエッチングを行い、以って、ビアA及びパッドBに残存する厚膜35の厚さを減少せしめる。

- [0115] 複数の溝8を形成する際に実行される反応性イオンエッチング法に適用されるエッチング条件は以下の通りである。

エッチングガス: $\text{CF}_4 / \text{CHF}_3 / \text{O}_2 / \text{Ar}$ 、混合比は30/90/50~100/50~20
0sccm。

圧力:100~400mTorr。

RF Power:750~1200W。

- [0116] また、複数の溝8を形成する際に実行されるプラズマエッチング法に適用されるエッチング条件は以下の通りである。

エッチングガス:Ar、100sccm。

RF Power:1200W。

圧力:100mTorr。

電極温度:100℃。

- [0117] 更に、複数の溝8を形成する際に実行されるイオンミリング法に適用される条件は以下の通りである。

Arガス:4~10sccm。

圧力: $1 \times 10^{-4} \sim 1 \times 10^{-3}$ Torr。

加速電圧:50~1000W。

電流:150~350mA。

電極角度(即ち、加速粒子の進行方向とウエハの法線とがなす角度): $0 \pm 45^\circ$ 。

- [0118] 上記のプロセスの後、第2実施例において説明したように図19及び図20に示すプロセスが実行される。

[0119] (第4実施例)

第4実施例に係る磁気センサは第1実施例及び第2実施例に係る磁気センサと同様であるものの、その製造方法において一部異なっている。尚、図4及び図16に示した構成と異なり、第4実施例では図25に示すように半導体基板1と厚膜11との間にパッシベーション膜又は絶縁膜からなるエッチングストップ層12が挿入されている。

[0120] 次に、第4実施例に係る磁気センサの製造方法について説明する。

第1実施例と同様に、図9及び図10に示したプロセスの後、図11(a)において、パッシベーション膜32の上層をなす窒化ケイ素膜34をエッチングストップとして利用して、レジスト膜36と厚膜35に対してドライエッチングを行い、厚膜35に複数の溝8を形成し、同時に、ビアA及びパッドBにおいて残存する厚膜35の厚さを減少せしめる。

窒化ケイ素膜34をエッチングストップとして利用することにより、溝形成部Cにおいて、窒化ケイ素膜34が露出した時点でドライエッチングを終了する。

[0121] 即ち、以下の条件で反応性イオンエッチング(RIE)を行う。

エッチングガス： C_4F_8 ／Ar／ CH_2F_2 、混合比は7／500／4sccm。

ガス圧：50mTorr。

RFパワー：1500W。

[0122] 上記の条件によりドライエッチングを実行することにより、レジスト膜36をなすレジストと厚膜35をなす酸化ケイ素とのエッチング選択比を大きくすることができるため、窒化ケイ素膜34をエッチングストップとして利用することができる。これにより、図11(a)に示すように、厚膜35に形成される溝8は窒化ケイ素膜34に向かって凹むように形成される。また、エッチング選択比は例えば「6」とすることができる。

その後、第1実施例と同様に、図11(b)、(c)、及び図12(a)、(b)、(c)に示したプロセスが実行される。

[0123] 次に、第4実施例に係る磁気センサの製造方法について説明する。

先ず、第1実施例と同様に、図9(a)～(d)に示したプロセスを実行する。その後、図26(a)に示すように、スパッタリングにより厚さ0.2 μ m程度の絶縁膜37を形成する。絶縁膜37は、例えば、酸化アルミニウム(Al_2O_3)、窒化ホウ素(BN)、ダイヤモンド状

炭素よりなる。

- [0124] 次に、図26(b)に示すように、絶縁膜37上に厚さ $3\mu\text{m}$ 程度のレジスト膜38を全面に形成する。その後、図26(c)に示すように、レジスト膜38の一部をエッチングにより除去して、所定のレジストパターンを形成する。レジストパターンは、ビアA及びパッドBに相当する領域のみが開口しており、これにより絶縁膜37を露出させる。
- [0125] 次に、図27(a)に示すように、ビアA及びパッドBに相当する領域の絶縁膜37をイオンミリングにより除去し、酸化ケイ素膜33を露出する。その後、図27(b)に示すように、レジスト膜38を除去する。
- [0126] 次に、図28(a)に示すように、プラズマCVD法により酸化ケイ素からなる厚さ $5\mu\text{m}$ 程度の厚膜35を形成する。厚膜35には複数の溝8が形成される。
- [0127] 次に、図28(b)に示すように、厚さ $3\mu\text{m}$ 程度のレジスト膜36を厚膜35の全面に形成する。その後、レジスト膜36の一部をエッチングにより除去して、所定のレジストパターンを形成する。レジストパターンは溝形成部Cに形成される溝8に相当する領域、及びビアA及びパッドBに相当する領域が開口している。
- [0128] 次に、図28(c)に示すように、残存しているレジスト膜36に対して温度 150°C 、時間10分間の加熱処理を施して、レジスト膜36を溶解させる。加熱処理によりレジストが溶解した結果発生する溶解液の表面張力に起因して、レジスト膜36の上面が盛り上がり、かつ、その端面が傾斜する。特に、溝形成部Cにおいて、レジスト膜36は直線状の稜線を有する突起部が複数形成され、その高さは約 $5\mu\text{m}$ 程度となる。
- [0129] 次に、図29(a)に示すように、絶縁膜37をエッチングストップとして利用し、レジストと酸化ケイ素のエッチング選択比が1対1となるような条件にて、レジスト膜36と厚膜35に対してドライエッチングを行い、以って、厚膜35に複数の溝8を形成すると同時に、ビアA及びパッドBにおいて残存する厚膜35の厚さを減少せしめる。
- [0130] 即ち、以下の条件にて枚葉式反応性イオンエッチング(RIE)を行う。
エッチングガス： $\text{CF}_4/\text{CHF}_3/\text{N}_2$ 、混合比は30/90/5sccm。
ガス圧力：200mTorr。
RFパワー：750W。
- [0131] 上記のドライエッチング条件により、レジスト膜36をなすレジストと厚膜35をなす酸

化ケイ素とのエッチング選択比を1対1に設定することができるため、絶縁膜37をエッチングストップとして利用することができる。これにより、図29(a)に示すように、各溝8を絶縁膜37に向かって厚膜35を凹ませるように形成する。

[0132] 上記のドライエッチングの際、図29(a)に示すように、ビアA及びパッドBにおける凹部の幅がパッシベーション膜32の凹部の幅より大きくならないようにしている。その後、厚膜35上に残存しているレジスト膜36を除去する。

[0133] これにより、図29(a)に示すように、溝形成部Cにおける厚膜35mには複数の溝8が形成される。その後、図29(b)に示すように、ビアAの導体部21aを覆っている厚膜35及び酸化ケイ素33をエッチングにより取り除き、以って、導体部21aを露出させる。

[0134] その後、半導体基板1の全面に巨大磁気抵抗素子のバイアス磁石6をなすマグネット膜をスパッタリングにより形成し、レジストワーク及びエッチングにより不要部分を除去し、図29(c)に示すように複数の溝8の斜面上にバイアス磁石6を形成し、同時に、ビアAの導体部21a上に配線膜25を形成し、更に、当該配線膜25と巨大磁気抵抗素子のバイアス磁石6とを繋ぐ配線層7を形成する。

[0135] マグネット膜には多層金属薄膜が用いられる。

また、X軸センサ2及びY軸センサ3を構成する巨大磁気抵抗素子のバイアス磁石6とその配線層7を厚膜35の平坦面に形成する。

[0136] バイアス磁石6形成時のレジストワークにおいて、溝8の斜面でのマグネット膜のエッチングを適切に行うため、所定のレジストパターン形成後のレジスト膜36に対して加熱処理を施し、以って、レジスト膜36の端面を傾斜させる。

[0137] その後、巨大磁気抵抗素子の感磁部5をなす巨大磁気抵抗素子膜をスパッタリングにより全面に形成する。巨大磁気抵抗素子膜としては、多層金属薄膜が用いられる。

上記の巨大磁気抵抗素子膜が形成された半導体基板1をマグネットアレイ上に設置して、温度260～290℃、3～5時間の熱処理を行い、巨大磁気抵抗素子膜に対してピニング処理を施す。

[0138] 次に、巨大磁気抵抗素子膜に対してレジストワーク及びエッチングを行い、不要部

分を除去し、図30(a)に示すように複数の溝8の斜面上に夫々感磁部5を形成し、以って、巨大磁気抵抗素子の作成を完了する。これにより、Z軸センサ4の作成が完了する。

[0139] 同時に、ビアAの導体部21a上に予め形成されたマグネット膜からなる配線膜25上に巨大磁気抵抗素子膜を一部残存せしめ、これを保護導体膜26とする。これにより、図8に示すようなビアAの構造が得られる。

また、同時に、厚膜35の平坦面にも感磁部5を形成し、巨大磁気抵抗素子を形成する。これにより、X軸センサ2とY軸センサ3の作成が完了する。

[0140] 次に、図30(b)に示すように、プラズマCVD法により窒化ケイ素からなる厚さ1 μ mのパッシベーション膜27を形成し、更に、ポリイミドからなる保護膜28を形成する。その後、パッドBに相当する領域について、保護膜28及びパッシベーション膜27を除去し、以って、パッドBを露出せしめる。

[0141] 最後に、図30(c)に示すように、保護膜28をマスクとしてエッチングを行い、パッドBの導体部21bを覆っている酸化ケイ素膜33と厚膜35を除去し、以って、パッドBの導体部21bを露出せしめる。これにより、第4実施例に係る磁気センサの製造を完了する。

[0142] 第4実施例に係る磁気センサの聖像方法によれば、1枚の半導体基板1上にX軸センサ2、Y軸センサ3、及びZ軸センサ4を形成するとともに、ビアA及びパッドBも同時に形成することができ、以って、一連のプロセスにより小型の三軸磁気センサを迅速に製造することができる。また、パッシベーション膜32上に形成した絶縁膜37をエッチングストップとして利用して、レジスト膜36と厚膜35をエッチングすることにより、厚膜35を絶縁膜37に向けて凹ませるように複数の溝8を形成することができる。これにより、所定角度の斜面を厚膜35に形成し、以って、半導体基板1の表面に対して垂直方向の感度を具現化するような巨大磁気抵抗素子を用いた磁気センサを作成することができる。第4実施例の特徴として、絶縁膜37をパッシベーション膜32上に形成して、深さ方向の溝形成の制御が容易となる。

[0143] (第5実施例)

本発明の第5実施例に係る磁気センサは、前記第1実施例と同様の構成を有して

いるが、その相違点について図31乃至図33を参照して説明する。

図31は、巨大磁気抵抗素子4i、4jの平面図であり、図32は図31においてIV-IV視断面図であり、図33は図32において破線で囲んだ部分の拡大断面図である。

- [0144] 図32において、酸化ケイ素からなる厚膜11が半導体基板1上に形成されており、厚膜11を部分的に削り取って4個のV字状の溝8が平行に形成されている。
- 溝8は、所定の寸法を有する細長い凹部となっており、深さが $3\sim 8\mu\text{m}$ 、長さが $200\sim 400\mu\text{m}$ 、斜面の幅が $3\sim 16\mu\text{m}$ となっている。

溝8の斜面は、上側の第1斜面8A、8E、8G、等と下側の第2斜面8B、8D、8H、等よりなり、夫々異なる傾斜角度を有するが、いずれも厚膜11の表面との角度は $60\sim 80^\circ$ であり、第2斜面の方が第1斜面よりも傾斜角度が大きくなっている。

図32は、各溝8の斜面を平坦な第1及び第2斜面より形成されるものとして描いているが、実際の製造プロセスでは、各溝8の斜面は外側にやや湾曲した形状となる。

- [0145] 図33に示すように、各溝8の斜面は、第2斜面8Dと窒化ケイ素膜34(或いは、半導体基板1)の角度を θ_1 ($0^\circ < \theta_1 < 90^\circ$)とし、第1斜面8Eと窒化ケイ素膜34(或いは、半導体基板1)の角度を θ_2 ($0^\circ < \theta_2 < 90^\circ$)とした場合、 $\theta_1 > \theta_2$ の関係を満たすように形成される。

また、大きな傾斜角度 θ_1 を有する第2斜面8Dに巨大磁気抵抗素子の感磁部5が形成されている。

このように、大きな傾斜角度 θ_1 を有する第2斜面8Dに対して巨大磁気抵抗素子の感磁部5を設けることにより、Z軸センサ4の感知方向を揃え、かつ、感度を高めることができる。

- [0146] 上記の如く、図32に示した4つの溝8において互いに隣接する8つの斜面の夫々において、下側の第2斜面においてその長手方向に沿い、かつ、良好な平坦度の中央部に巨大磁気抵抗素子の感磁部5が設けられている。

巨大磁気抵抗素子4iにおいて、第2斜面8Dに形成された感磁部5は、第1斜面8E、頂部8F、及び、隣接する第1斜面8Gを経て、第2斜面8Hに形成された感磁部5とバイアス磁石6を介して電氣的に接続されている。

一方、巨大磁気抵抗素子4jにおいては、第2斜面8Nに形成された感磁部5は、底

部8Oを経て、隣接する第2斜面8Pに形成された感磁部5とバイアス磁石6を介して電氣的に接続されている。

[0147] 次に、第5実施例に係る磁気センサの製造方法について説明する。

前記第1実施例と同様に、図9(a)～(d)及び図10(a)～(c)に示すプロセスを実行する。

[0148] その後、図34(a)に示すように、溝形成部Cにおける厚膜35には複数の溝が形成されるが、前記のドライエッチングにより各溝8の斜面は途中で折れ曲がっており、窒化ケイ素膜34側の第2斜面と頂部側の第1斜面が連続した形状となっている。

[0149] 即ち、各溝8の斜面は、第2斜面と窒化ケイ素膜34(或いは、半導体基板1)の角度を θ_1 ($0^\circ < \theta_1 < 90^\circ$)とし、第1斜面と窒化ケイ素膜34(或いは、半導体基板1)の角度を θ_2 ($0^\circ < \theta_2 < 90^\circ$)とした場合、 $\theta_1 > \theta_2$ の関係を満たすように形成される。

[0150] 本実施例では、半導体基板1に対して大きな傾斜角度 θ_1 を有する第2斜面に巨大磁気抵抗素子の感磁部5を形成する。尚、角度 θ_1 と θ_2 は、溝8を形成する際のエッチング条件により変動するが、角度 θ_1 は出来るだけ大きく、 90° に近いことが好ましい。

[0151] 次に、図34(b)に示すように、ビアAの導体部21aを覆っている厚膜35及び酸化ケイ素膜33をエッチングにより除去し、以って、導体部21aを露出する。

[0152] 次に、半導体基板1の全面に、巨大磁気抵抗素子のバイアス磁石6となるマグネット膜をスパッタリングにより形成し、その後、レジストワーク及びエッチングにより不要部分を除去する。この結果、図34(c)に示すように複数の溝8の第2斜面上に夫々バイアス磁石6を形成し、同時に、ビアAの導体部21aに配線膜25を形成し、当該配線膜25と巨大磁気抵抗素子のバイアス磁石6とを繋ぐ配線層7を形成する。マグネット膜には多層金属薄膜が用いられる

[0153] また、厚膜35の平坦面にもX軸センサ2、Y軸センサ3を構成する巨大磁気抵抗素子のバイアス磁石6とその配線層7を形成する。

[0154] バイアス磁石6形成時のレジストワークにおいて、溝8の第2斜面でのマグネット膜のエッチングを適切に行うため、所定レジストパターン形成後、レジスト膜に加熱処理を

施して、当該レジスト膜の端面を傾斜させる。

[0155] 次に、巨大磁気抵抗素子の感磁部5となる巨大磁気抵抗素子膜をスパッタリングにより全面に形成する。巨大磁気抵抗素子膜には、多層金属薄膜が用いられる。

その後、半導体基板1をマグネットアレイに設置して、温度260～290℃、3～5時間の熱処理を施し、以って、巨大磁気抵抗素子膜に対してピニング処理を施す。

[0156] その後、巨大磁気抵抗素子膜に対してレジストワーク及びエッチングを行い、不要部分を除去し、図35(a)に示すように、複数の溝8の第2斜面に感磁部5を形成して巨大磁気抵抗素子を作成する。これにより、Z軸センサ4の作成が完了する。

[0157] また、ビアAの導体部21aに事前に形成されたマグネット膜よりなる配線膜25上において残存する巨大磁気抵抗素子膜を保護導体膜26とする。これにより、図8に示すビアAの構造が得られる。同時に、厚膜35の平坦面にも感磁部5を形成して巨大磁気抵抗素子を作成する。これにより、X軸センサ2とY軸センサ3の作成が完了する。

[0158] 次に、図35(b)に示すように、プラズマCVD法により厚さ1 μ mの窒化ケイ素よりなるパッシベーション膜27を形成し、その上に、ポリイミドからなる保護膜28を形成する。また、保護膜28とパッシベーション膜27のうち、パッドBに相当する領域を除去し、以って、パッドBを露出する。

[0159] 次に、図35(c)に示すように、保護膜28をマスクとしてエッチングを行い、パッドBの導体部21bを覆っている酸化ケイ素膜33と厚膜35を除去し、パッドBを完全に露出する。これにより、本実施例に係る磁気センサの製造を完了する。

[0160] (第6実施例)

次に、本発明の第6実施例について説明するが、前記第1実施例と同様の構成要素については、その説明を省略する。

即ち、第6実施例は、第1実施例と同様に、半導体基板1上に複数の巨大磁気抵抗素子を配置して、X軸センサ2、Y軸センサ3、及びZ軸センサ4を形成するものであるが、Z軸センサ4を構成する巨大磁気抵抗素子について相違している。

[0161] 図36は、Z軸センサ4を構成する巨大磁気抵抗素子4i、4jの平面図であり、図37は図36のIV-IV視断面図である。

図37において、酸化ケイ素からなる厚膜11が半導体基板1上に形成されている。厚膜11を部分的に削り取って、6個のV字状の溝8が平行に形成されている。各溝8は所定寸法を有する細長い凹部となっており、深さは3~7 μ m、長さは250~300 μ m、斜面の幅は3~8 μ mとなっており、斜面と厚膜11とのなす角度は60~80°、好ましくは、70°程度となっている。尚、実際の製造プロセス上、溝8の斜面は平坦ではなく外側にやや湾曲している。

- [0162] 図37においては、隣接する6個の溝8のうち、中央に位置する4個の溝8の互いに隣接する8個の斜面について、その長手方向に沿い、かつ、良好な平坦度を有する中央部に巨大磁気抵抗素子を構成する8個の感磁部5が形成されている。
- [0163] 巨大磁気抵抗素子4iにおいて、溝8の斜面に形成された感磁部5は、頂部を経て、隣接する溝8の斜面に形成された感磁部5とバイアス磁石6を介して電氣的に接続されている。また、巨大磁気抵抗素子4jにおいて、溝8の一方の斜面に形成された感磁部5は底部を経て他方の斜面に形成された感磁部5とバイアス磁石6を介して電氣的に接続されている。
- [0164] 本実施例では、図36及び図37に示すように、巨大磁気抵抗素子を形成した4個の溝8の外側に設けられた2個の溝8を利用して合計4個の第1ダミー斜面91を形成している。また、6個の溝8に形成される合計12個の斜面の長手方向の両端を延長し、かつ、ギャップを介して合計24個の第2ダミー斜面92を形成している。
- [0165] 第1ダミー斜面91は、他の斜面と同様の形状を有しており、平面視、矩形状となっているが、傾斜角度は小さく設定されている。第2ダミー斜面92は、図36に示すように、平面視、台形状となっており、各溝8の両端側に向けて先細りとなり、かつ、傾斜角度は小さく設定されている。
- [0166] 第1ダミー斜面91及び第2ダミー斜面92については、巨大磁気抵抗素子を構成する感磁部5及びバイアス磁石6が設けられない。また、第1ダミー斜面91及び第2ダミー斜面92は、溝8を形成する際に、同時に形成される。詳細については、後述する。
- [0167] 本実施例では、第1ダミー斜面91及び第2ダミー斜面92を形成することにより、溝8の形成に起因して周辺部の形状や斜面の傾斜角度にバラツキが生じても、その領域には巨大磁気抵抗素子を設ける必要が無く、即ち、巨大磁気抵抗素子の性能のバラ

ツキを回避することができ、以って、良好な磁気検知特性を有する巨大磁気抵抗素子を作成することができる。これにより、良好な性能のZ軸センサを得ることができる。

また、感磁部5のピニング方向をその長手方向に対して30～60° とすることにより、巨大磁気抵抗素子の強磁界に対する安定度を向上することができる。

[0168] 次に、本実施例に係る磁気センサの製造方法について説明する。

先ず、図38(a)に示すように、半導体基板1上に平坦化膜31を形成する。平坦化膜31は、プラズマCVD法による厚さ300nmの酸化ケイ素膜、厚さ600nmのSOG膜、及び厚さ50nmのトリエトキシシランよりなる酸化ケイ素膜を順次積層して形成される。

[0169] 次に、図38(b)に示すように、半導体基板1の全面にパッシベーション膜32を形成する。パッシベーション膜32は、プラズマCVD法による厚さ250nmの酸化ケイ素膜33と、プラズマCVD法による厚さ600nmの窒化ケイ素膜34を積層して形成される。

[0170] 次に、図39(a)に示すように、プラズマCVD法により厚さ5 μ m程度の酸化ケイ素からなる厚膜35を形成する。厚膜35には、後工程において、複数の溝8が形成される。

[0171] 次に、図39(b)に示すように、厚さ3 μ m程度のレジスト膜36を厚膜35の全面に形成する。その後、レジスト膜36の一部をエッチングして除去し、所定のレジストパターンを形成する。レジストパターンでは、溝形成部の各溝に対応する領域が開口している。また、本実施例では、レジストパターンは、第1ダミー斜面91及び第2ダミー斜面92も同時に形成するため、それらに対応する領域についても適宜処置されている。

[0172] 次に、図39(c)に示すように、残存しているレジスト膜36に対して温度150℃、時間10分程度の加熱処理を施し、レジスト膜36を溶解させる。加熱処理によるレジスト溶解により発生する溶解液の表面張力に起因して、レジスト膜36の上面が盛り上がり、同時に、端面が傾斜する。これにより、複数の直線状の稜線を有する突起部が形成され、その高さは5 μ m程度となる。

[0173] その後、レジストと酸化ケイ素とのエッチング選択比1対1にて、レジスト膜36と厚膜35に対してドライエッチングを行う。ドライエッチングの条件は以下の通りである。

エッチングガス： CH_4 ／ CHF_3 ／ N_2 ／ O_2 、混合比は60／180／10／100sccm。

圧力:400mTorr(53. 2Pa)。

RFパワー:750W。

電極温度:15℃。

チャンバ温度:15℃。

[0174] その後、厚膜35上に残存するレジスト膜36を除去する。

これにより、図40(a)に示すように、厚膜35の溝形成部には複数の溝8が形成される。

[0175] 次に、半導体基板1の全面に巨大磁気抵抗素子のバイアス磁石6となるマグネット膜をスパッタリングにより形成し、その後、レジストワーク及びエッチングにより不要部分を除去する。これにより、図40(b)に示すように、第1ダミー斜面91及び第2ダミー斜面92を除き、複数の溝8の斜面上に適宜バイアス磁石6とその配線膜を形成する。

[0176] マグネット膜には、多層金属薄膜が用いられる。

また、厚膜35の平坦面にも、X軸センサ2及びY軸センサ3を構成する巨大磁気抵抗素子のバイアス磁石6とその配線層7を形成する。

[0177] バイアス磁石6形成時のレジストワークの際、溝8の斜面でのマグネット膜のエッチングを適切に行うため、所定のレジストパターン形成後、レジスト膜36に対して加熱処理を施し、その端面を傾斜させる。

[0178] 次に、巨大磁気抵抗素子の感磁部5となる巨大磁気抵抗素子膜をスパッタリングにより半導体基板1の全面に形成する。巨大磁気抵抗素子膜には、多層金属薄膜が用いられる。

上記の半導体基板1をマグネットアレイに設置して、温度260～290℃、3～5時間の熱処理を行い、以って、巨大磁気抵抗素子膜に対してピニング処理を施す。

[0179] その後、巨大磁気抵抗素子膜に対してレジストワーク及びエッチングを行い、不要部分を除去して、図41(a)に示すように、第1ダミー斜面91及び第2ダミー斜面92を除き、溝8の斜面上に感磁部5を形成し、以って、巨大磁気抵抗素子を形成する。これにより、Z軸センサ4の作成を完了する。

[0180] 同時に、厚膜35の平坦面にも感磁部5を形成して、巨大磁気抵抗素子を形成する

。これにより、X軸センサ2とY軸センサ3の作成を完了する。

[0181] 次に、図41(b)に示すように、プラズマCVD法により厚さ1 μ m程度の窒化ケイ素からなるパッシベーション膜27を形成し、更に、ポリイミドからなる保護膜28を形成する。これにより、本実施例に係る磁気センサの作成を完了する。

[0182] 本実施例では、厚膜に複数の溝8を形成するとともに、同様に溝形状により実現される第1ダミー斜面91及び第2ダミー斜面92を形成したが、必ずしも溝形状を形成する必要は無く、例えば、半導体基板1上に複数の堤状の突起部を形成し、その突起部の斜面を利用するようにしてもよい。

[0183] 上記の突起部の形成は溝8の形成と同様な方法で行われる。即ち、図39(c)において、レジスト膜36にパターニングを施し、かつ、加熱処理を施し、更に、レジストと酸化ケイ素のエッチング選択比1対1にてレジスト膜36と厚膜35に対してプラズマエッチングを行う。

[0184] プラズマエッチングの際、溝8を形成する領域を除いて、厚膜35の表面が平坦となるようエッチングして、その大部分の厚膜35を除去することにより、複数の堤状の突起部を形成する。

また、突起部形成時に、第1ダミー斜面91及び第2ダミー斜面92を実現するような突起部が得られるようにレジスト膜36に所定のレジストパターンを付与しておく。

[0185] (第7実施例)

本発明の第7実施例に係る磁気センサは、第1実施例と同様であるため、重複する記述を省略し、相違点について以下に記載する。

[0186] 図42は、Z軸センサ4を構成する巨大磁気抵抗素子4i、4jの平面図である。尚、図42のIV-IV視断面図は図4と同じである。図43は、巨大磁気抵抗素子4i、4jの配置例を示す斜視図であり、図44は巨大磁気抵抗素子4k、4lの配置例を示す斜視図である。

[0187] 本実施例では、各溝8の長手方向の端部を半円形状の曲斜面としている。エッチングによる溝8の形成において、レジスト膜を溝8の形状に合致するようパターニングして加熱成形するが、その際、レジストパターンにおける溝斜面の長手方向の端部を半円形状とすることにより、加熱成形後に斜面の端部の幅が狭まることを防止するた

めである。尚、溝斜面の端部の形状は半円形状に限定する必要はなく、所定の丸みを有するものであれば他の形状でもよい。

- [0188] 尚、本実施例に係る磁気センサの製造方法は第1実施例及び第6実施例と同様であるため、その説明を省略する。但し、溝形成時において、加熱処理後、斜面50は図45に示すようになる。即ち、斜面50はその中央部から長手方向の端部に至るまで同じ幅に形成されており、以って、均一な平面形状及び傾斜角度を実現する。また、斜面50の長手方向の端部は連続した曲斜面となっており、以って、隣接して対向する斜面は繋がっており、溝8の端部は半円形状となっている。

産業上の利用可能性

- [0189] 本発明は、半導体基板上に形成した厚膜を削って溝或いは直線上の稜線を有する突起を形成し、その斜面にZ軸センサを構成する巨大磁気抵抗素子を配置するようにしたので、1枚の半導体基板上に三軸センサを設けた小型の磁気センサに適用しうるものである。

また、本発明は携帯電話等の種々の携帯型電子機器に搭載する電子コンパスに適用できるものである。

請求の範囲

- [1] 半導体基板上に形成された厚膜を処理して複数の溝を並列に形成し、前記溝の斜面に設けた感磁部と、前記感磁部を電氣的に直列接続するバイアス磁石とにより構成した複数の巨大磁気抵抗素子よりなるZ軸センサと、
前記厚膜の平坦面の所定位置に配置した複数の巨大磁気抵抗素子よりなるX軸センサ及びY軸センサとを具備することを特徴とする磁気センサ。
- [2] 半導体基板の配線層を覆って平坦化する平坦化層を形成し、
前記平坦化層の上にパッシベーション膜を形成し、
前記パッシベーション膜の上に厚膜を形成し、
前記厚膜の上にレジスト膜を形成し、
前記レジスト膜の一部を除去し、
前記レジスト膜に加熱処理を施してその側面を傾斜させ、
前記レジスト膜と前記厚膜とをエッチング選択比1対1でエッチングして、前記厚膜に複数の溝を形成し、
前記厚膜の平坦面並びに前記溝の斜面及び頂部及び底部に巨大磁気抵抗素子を構成するマグネット磁石を形成し、
巨大磁気抵抗素子膜を形成し、
前記巨大磁気抵抗素子膜が形成された前記半導体基板をマグネットアレイに近接配置して熱処理を施し、
前記巨大磁気抵抗素子膜の一部をエッチングにより除去し、以って、前記厚膜の平坦面並びに前記溝の斜面に前記巨大磁気抵抗素子を構成する感磁部を形成し、
保護膜を形成することを特徴とする磁気センサの製造方法。
- [3] 前記平坦化層の一部を除去してビア及びパッドを露出し、
前記ビア及び前記パッドから前記パッシベーション膜の上層を除去し、
前記レジスト膜のエッチング後、前記ビアの中央部に存在する前記厚膜と前記パッシベーション膜の下層を除去して、前記ビアの導体部を露出させ、
前記バイアス磁石の形成後、前記バイアス磁石と前記ビアの導体部とを接続する配線膜を形成し、

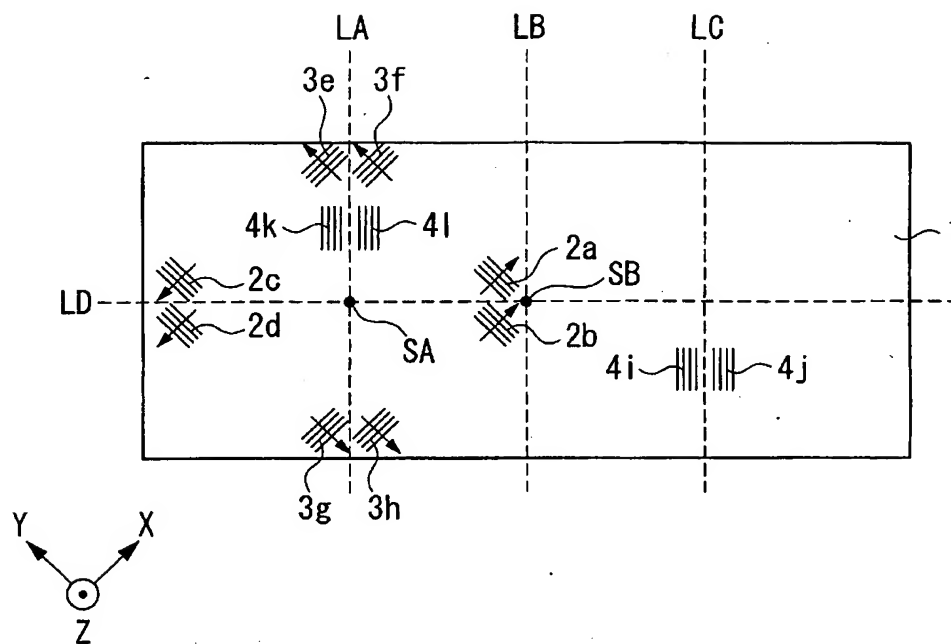
前記保護膜の形成後、前記パッドを覆う前記厚膜と前記パッシベーション膜の下層を除去して、前記パッドの導体部を露出させる請求項2記載の磁気センサの製造方法。

- [4] 前記レジスト膜の形成後、前記厚膜に形成される複数の溝の形状に相当する複数の突起を設けた型を前記レジスト膜に押し当てて複数の溝を形成するようにした請求項2記載の磁気センサの製造方法。
- [5] 前記レジスト膜の形成後、前記厚膜に形成される溝の中央部から両端部に向かって単位面積当たりの数が徐々に増加するような微細パターンを有するフォトマスクを前記レジスト膜に対向配置し、
前記レジスト膜を露光して現像することにより前記レジスト膜に前記溝を形成するようにした請求項2記載の磁気センサの製造方法。
- [6] 前記レジスト膜の加熱処理後、前記レジスト膜と前記厚膜に対して高イオン性エッチング条件にて反応性イオンエッチング法を実行し、以って、前記厚膜に複数の溝を形成するようにした請求項2記載の磁気センサの製造方法。
- [7] 前記厚膜の上に高密度プラズマCVD法により酸化ケイ素を堆積して絶縁膜を形成し、かつ、前記絶縁膜の一部について直線状の稜線を有する複数の突起部を形成し、
前記複数の突起部を有する前記絶縁膜と前記厚膜とを高イオン性エッチング条件にてエッチングして、前記厚膜に複数の溝を形成し、かつ、ビア及びパッドにおいて残存する厚膜の厚さを減少せしめるようにした請求項2記載の磁気センサの製造方法。
- [8] 前記厚膜と前記半導体基板との間にエッチングストップ膜を形成したことを特徴とする請求項1記載の磁気センサ。
- [9] 前記厚膜と前記パッシベーション膜との間に絶縁膜を形成し、これをエッチングストップ膜として利用して前記エッチングを実行するようにした請求項2記載の磁気センサの製造方法。
- [10] 各溝の斜面は上側の第1斜面と下側の第2斜面とで構成され、第2斜面の傾斜角度が第1斜面の傾斜角度に比べて大きく、また、前記感磁部は第2斜面に設けられる

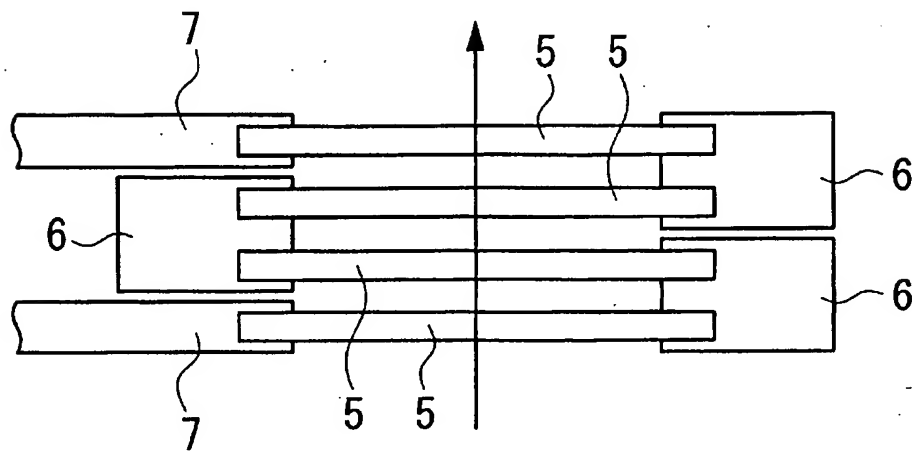
請求項1記載の磁気センサ。

- [11] 前記エッチングにより形成される各溝の斜面は上側の第1斜面と下側の第2斜面とで構成され、第2斜面の傾斜角度が第1斜面の傾斜角度に比べて大きく、また、前記感磁部は第2斜面に形成されるようにした請求項2記載の磁気センサの製造方法。
- [12] 前記複数の溝の内、少なくとも1つについてダミー斜面を形成し、当該ダミー斜面には前記巨大磁気抵抗素子を形成しないようにした請求項1記載の磁気センサ。
- [13] 前記複数の溝の長手方向の端部に近接して第2のダミー斜面を形成するようにした請求項1記載の磁気センサ。
- [14] 前記複数の溝の長手方向の端部に丸みをもたせた請求項1記載の磁気センサ。

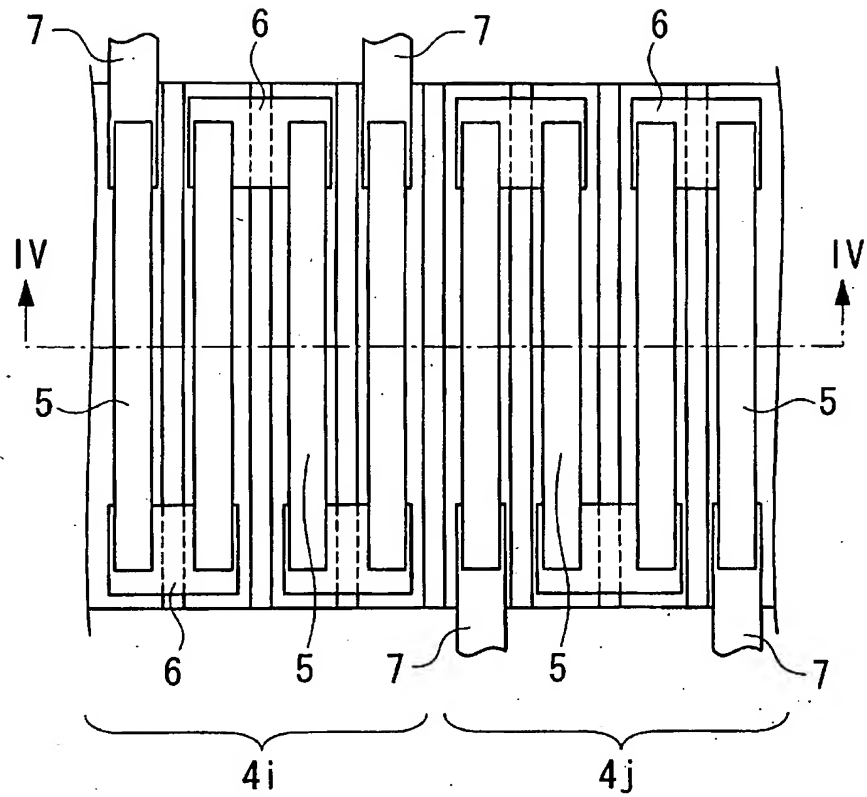
[図1]



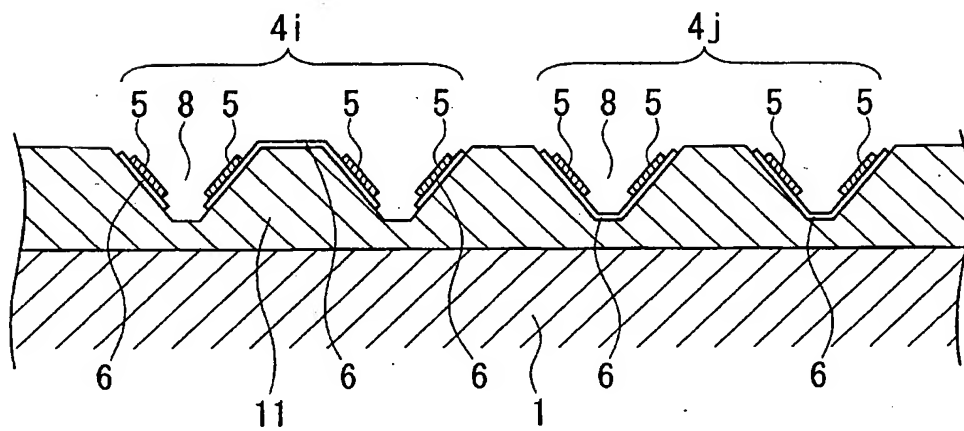
[図2]



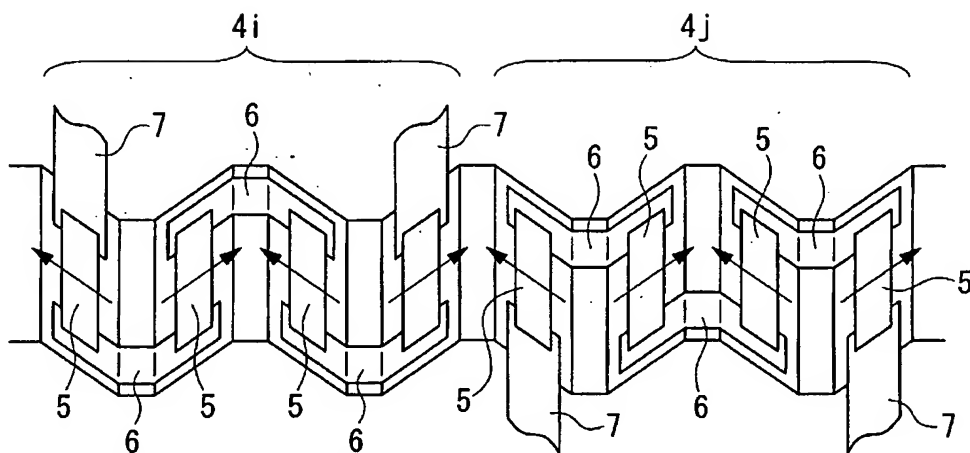
[図3]



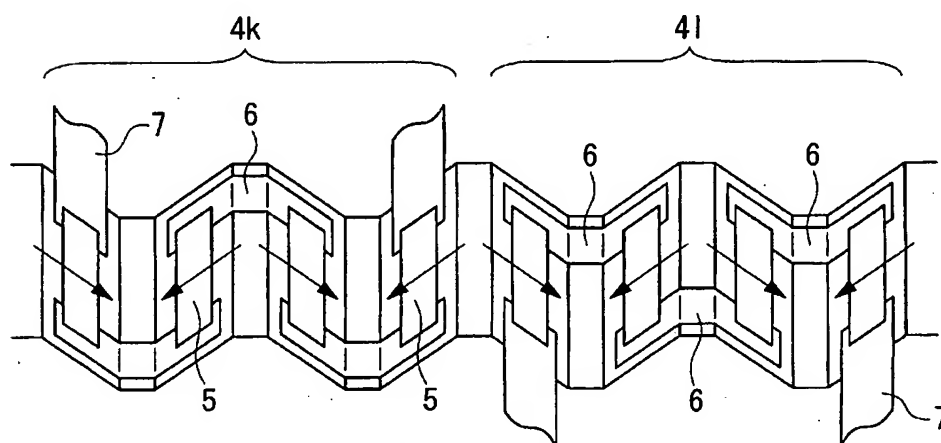
[図4]



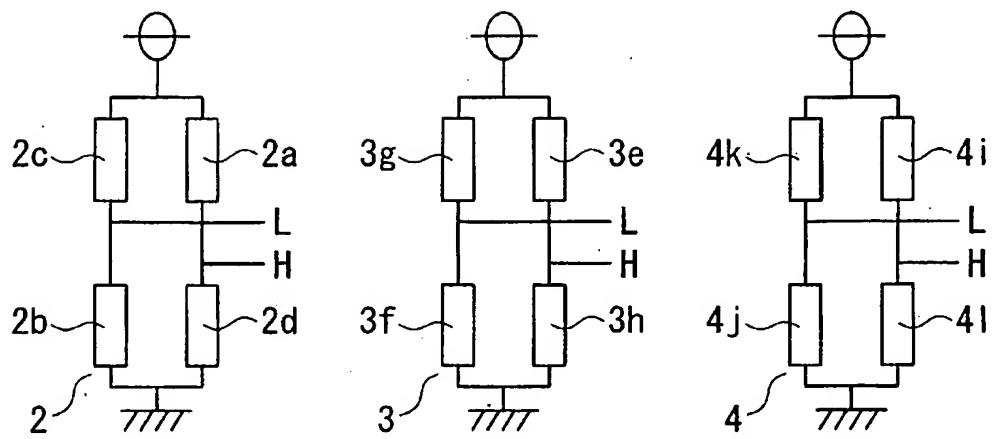
[図5]



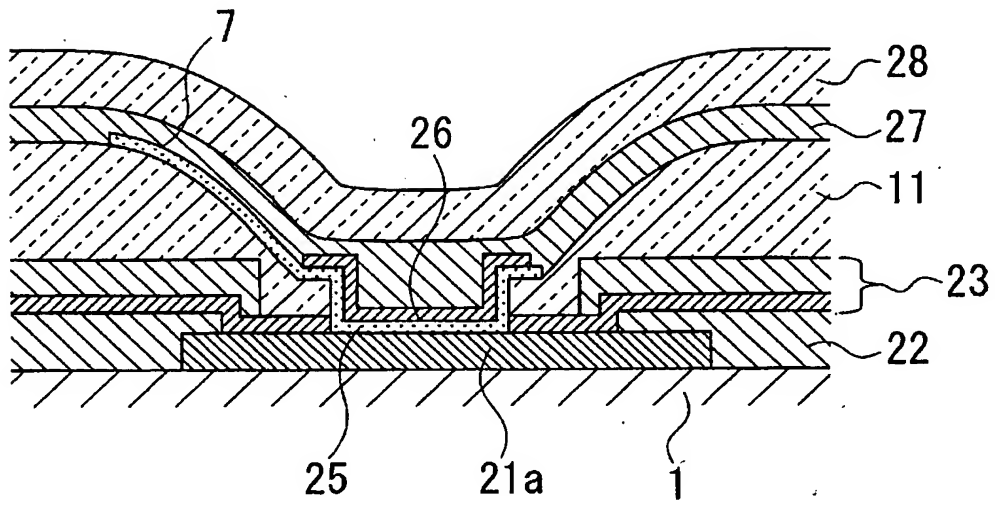
[図6]



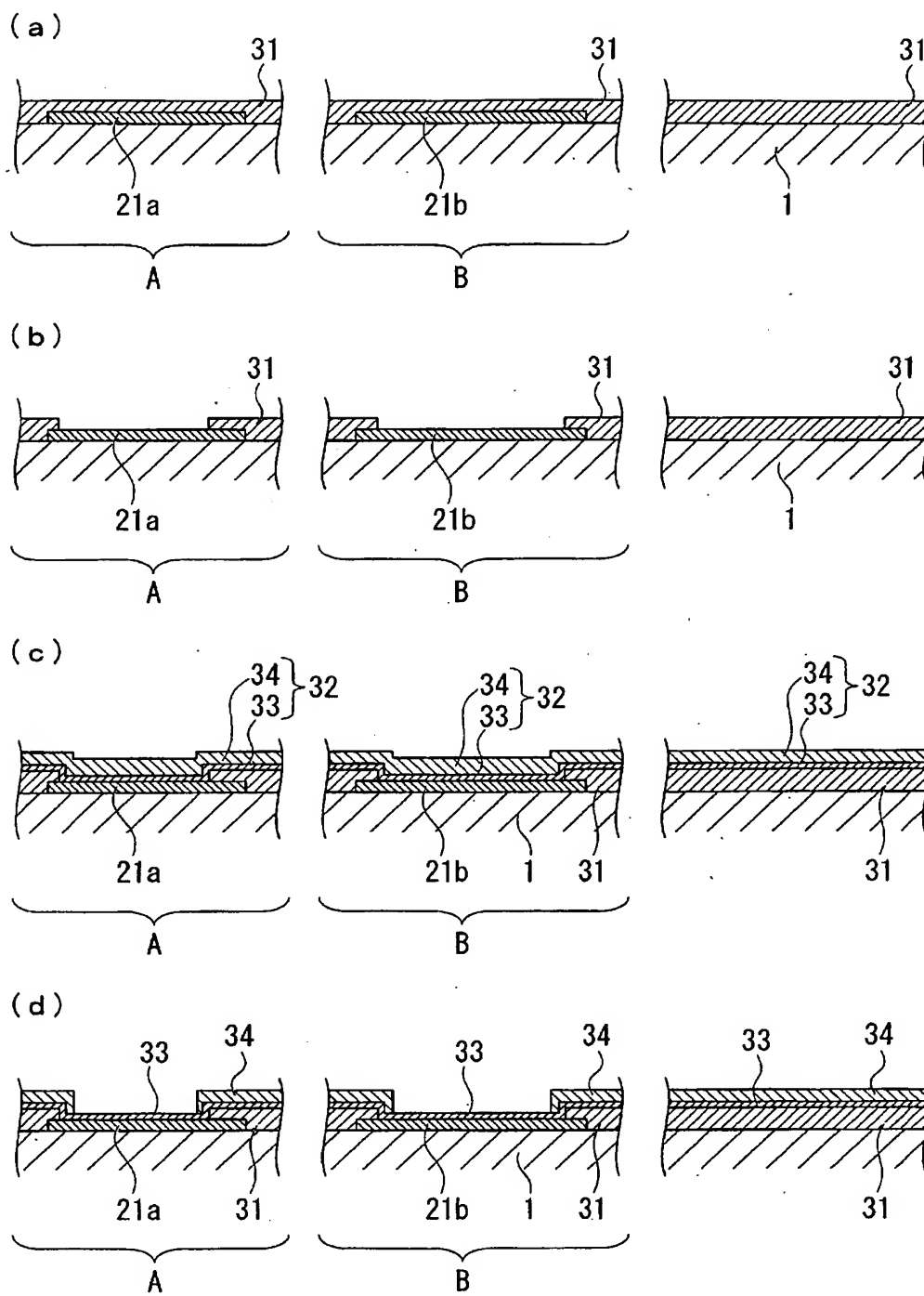
[図7]



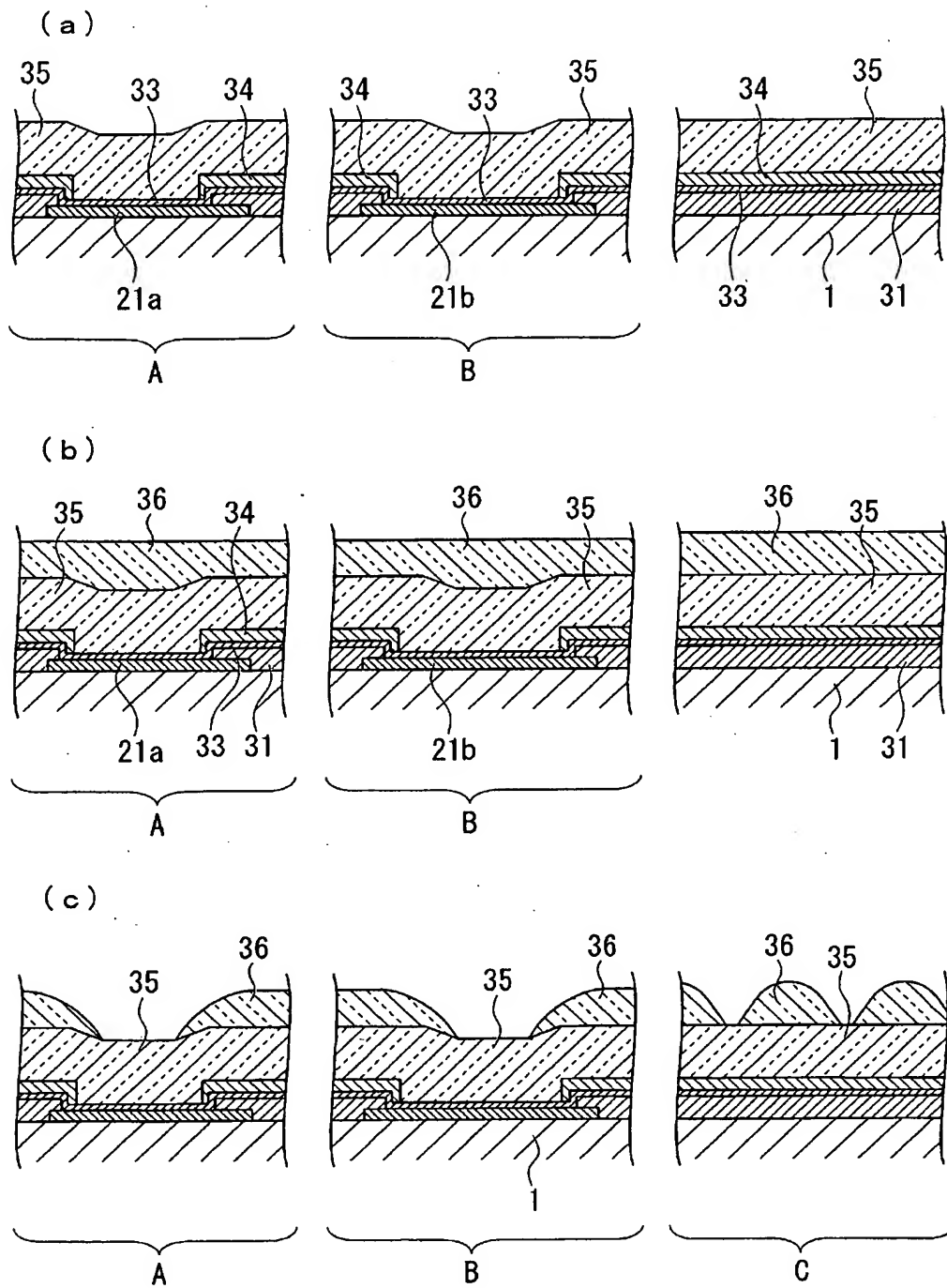
[図8]



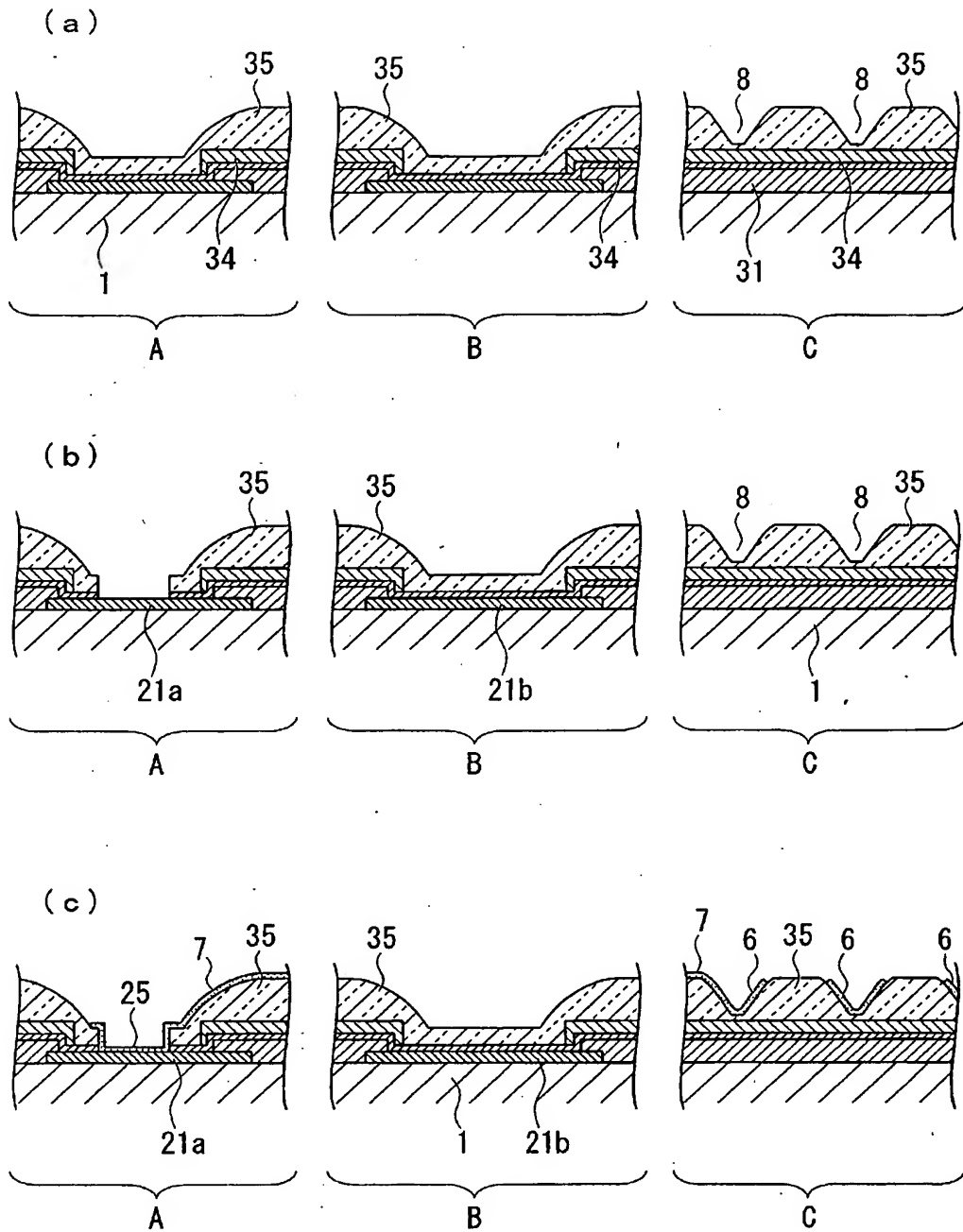
[図9]



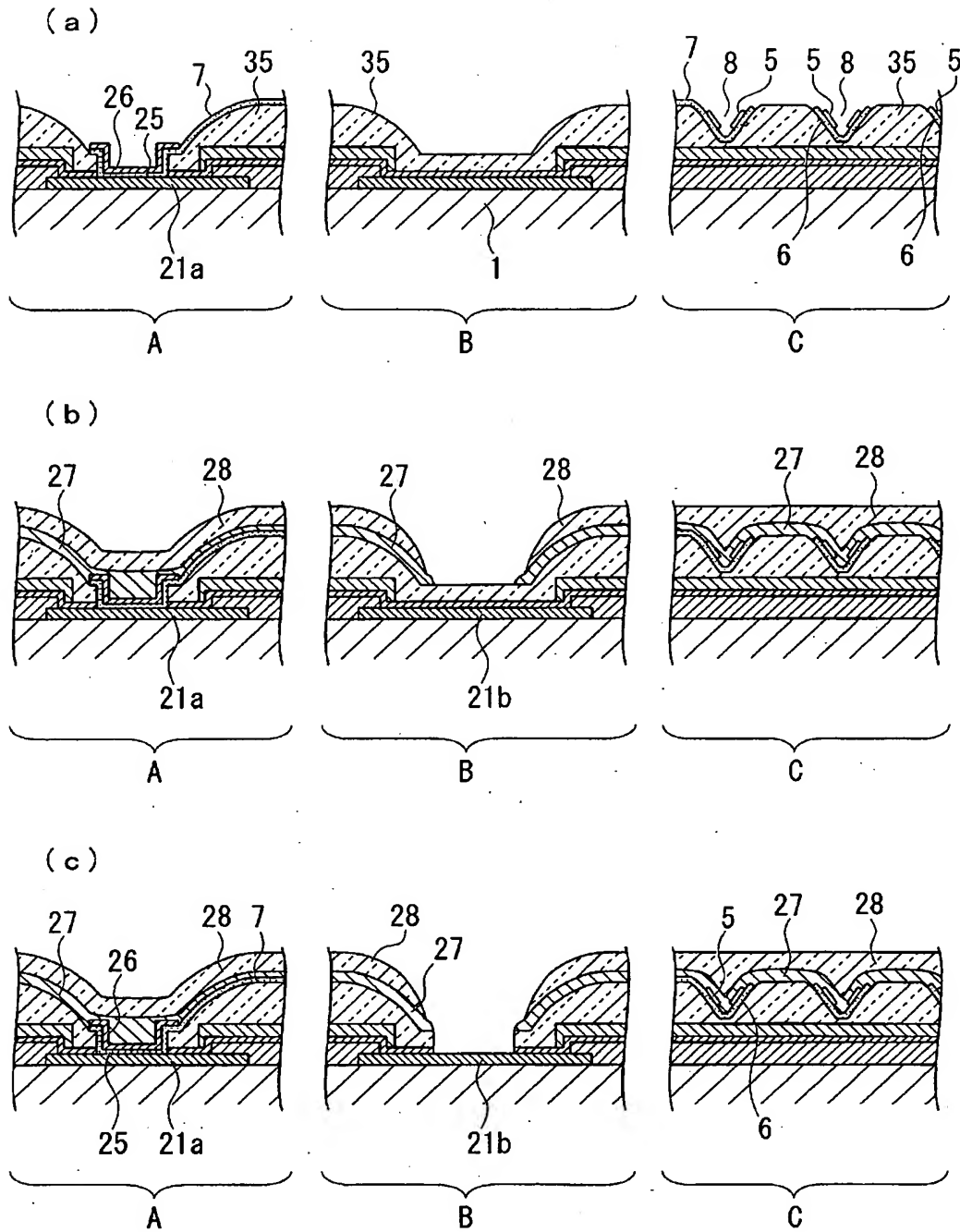
[図10]



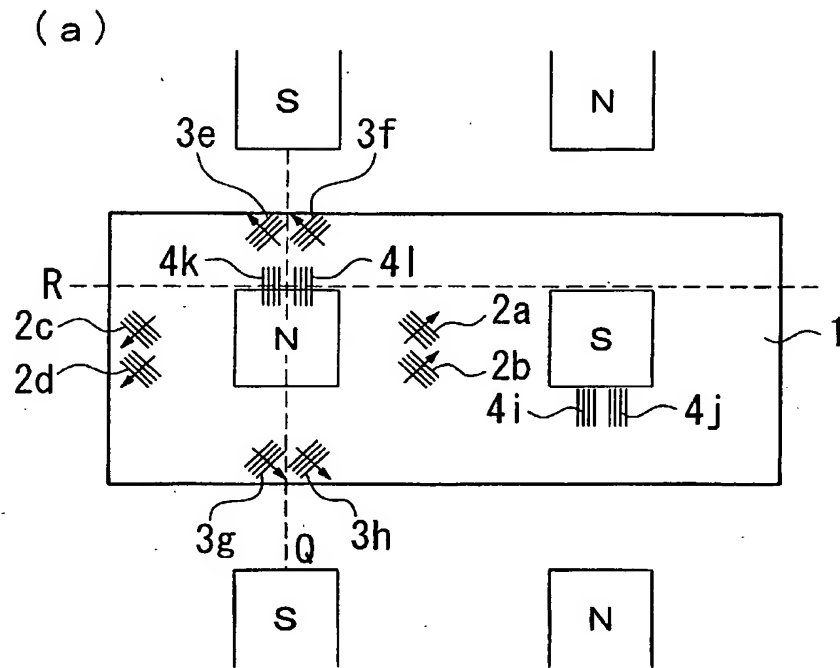
[図11]



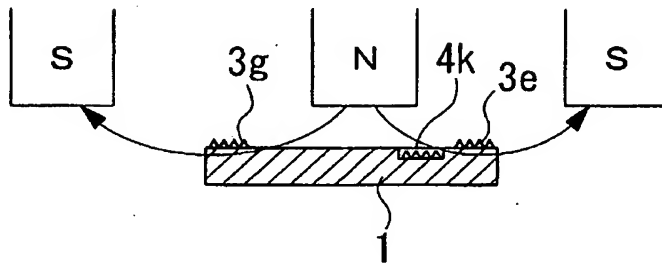
[図12]



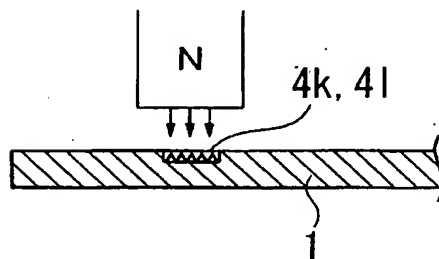
[図13]



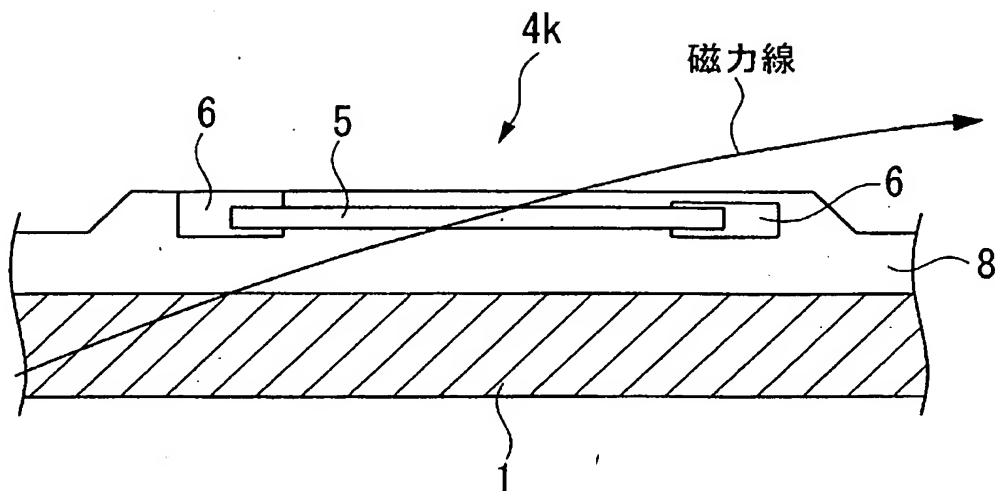
(b)



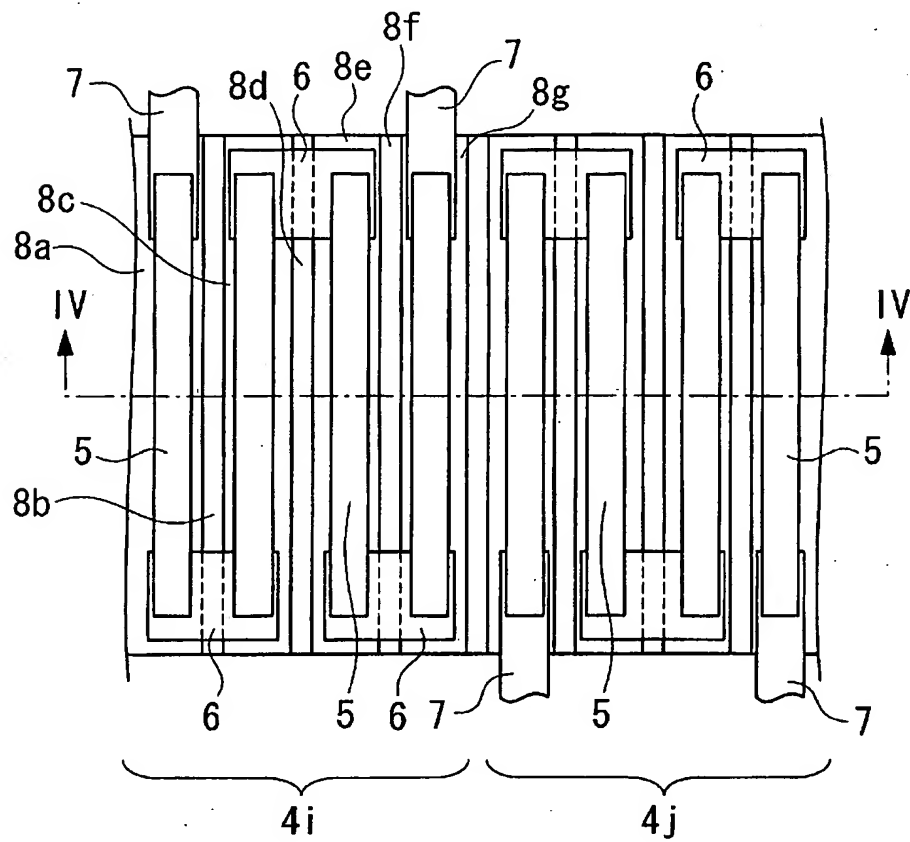
(c)



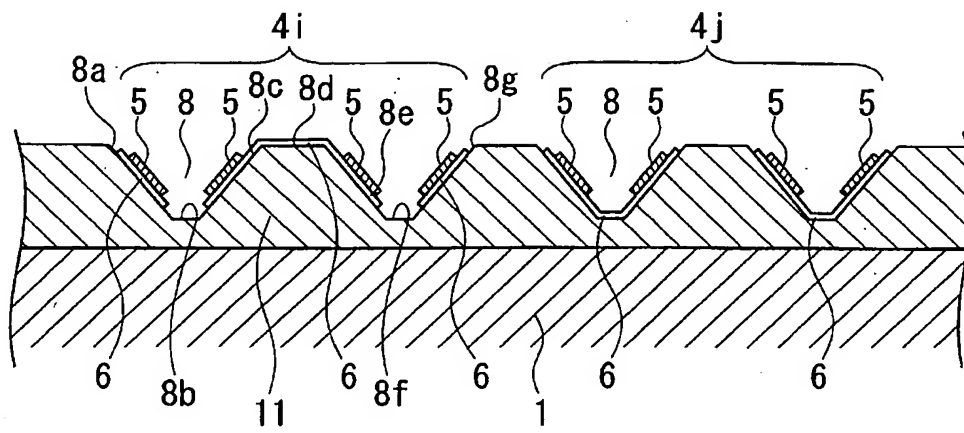
[図14]



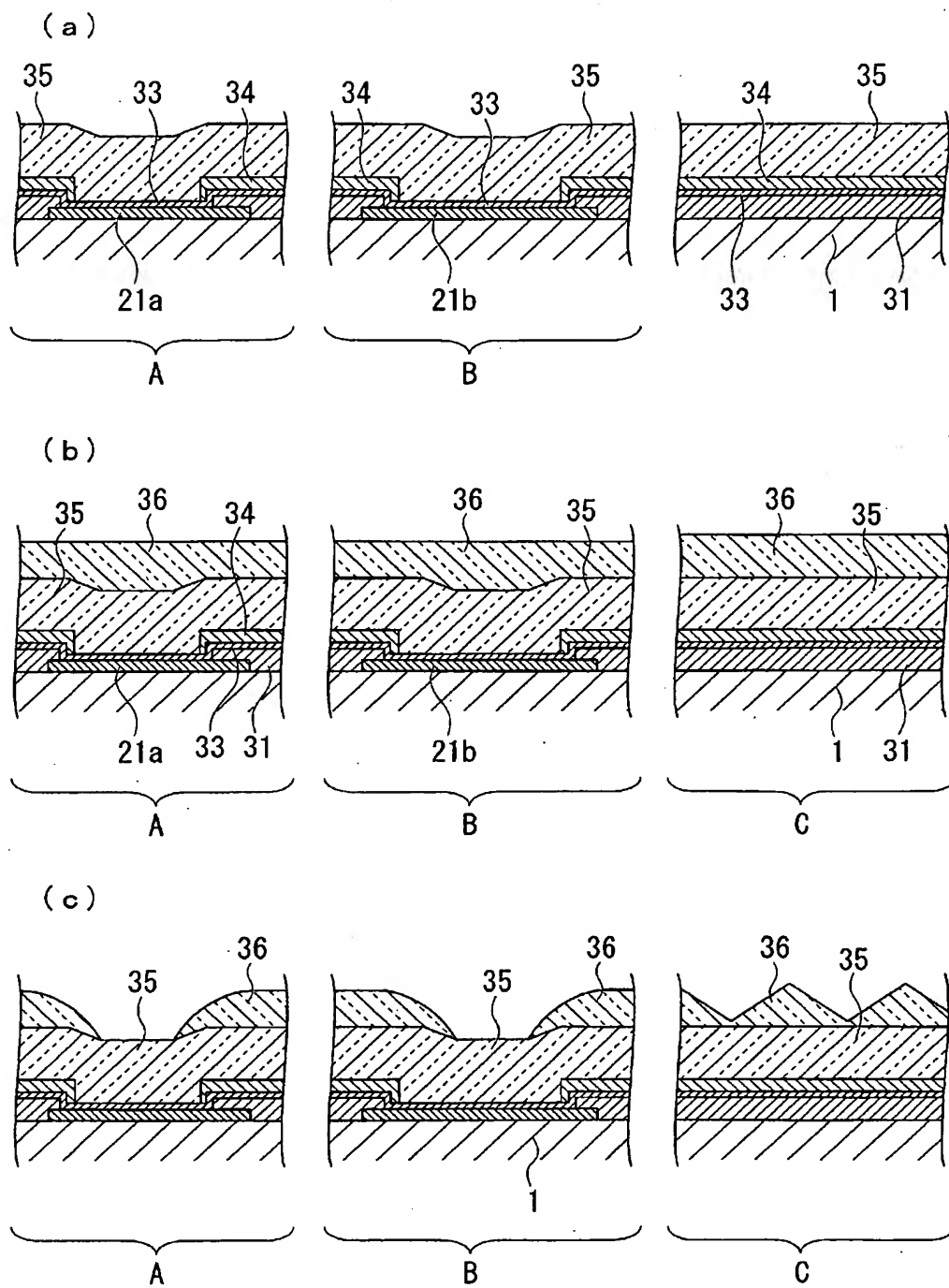
[図15]



[図16]

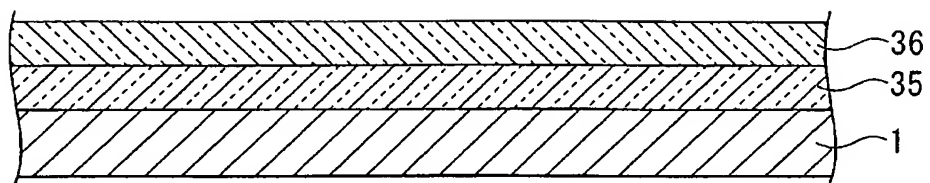


[図17]

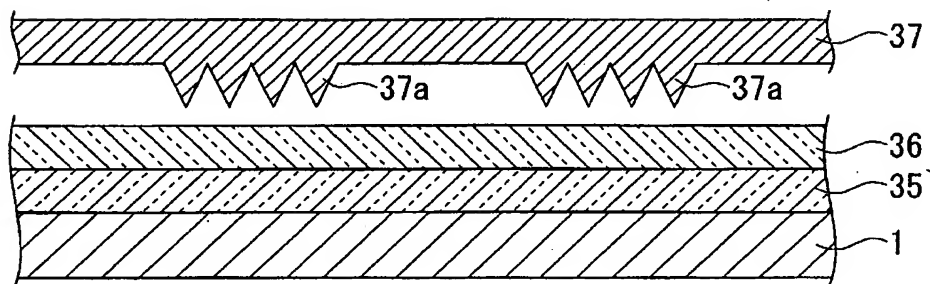


[図18]

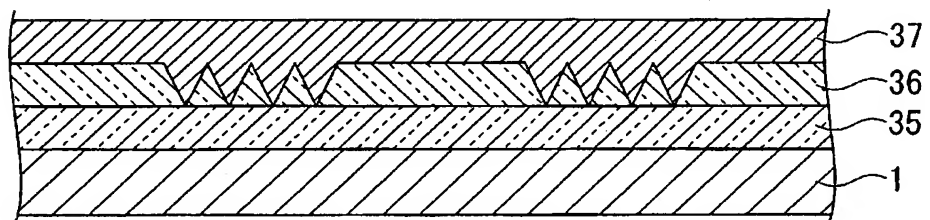
(a)



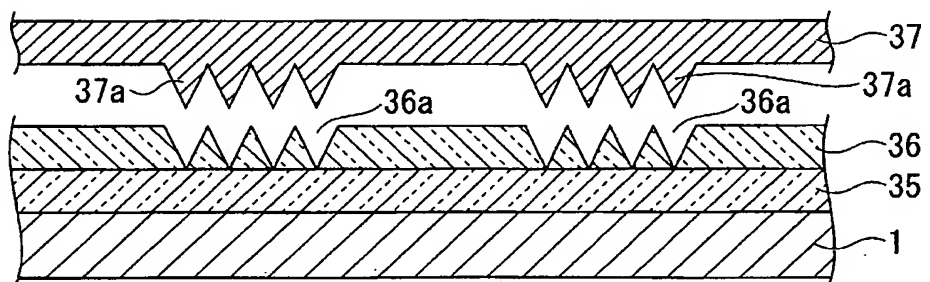
(b)



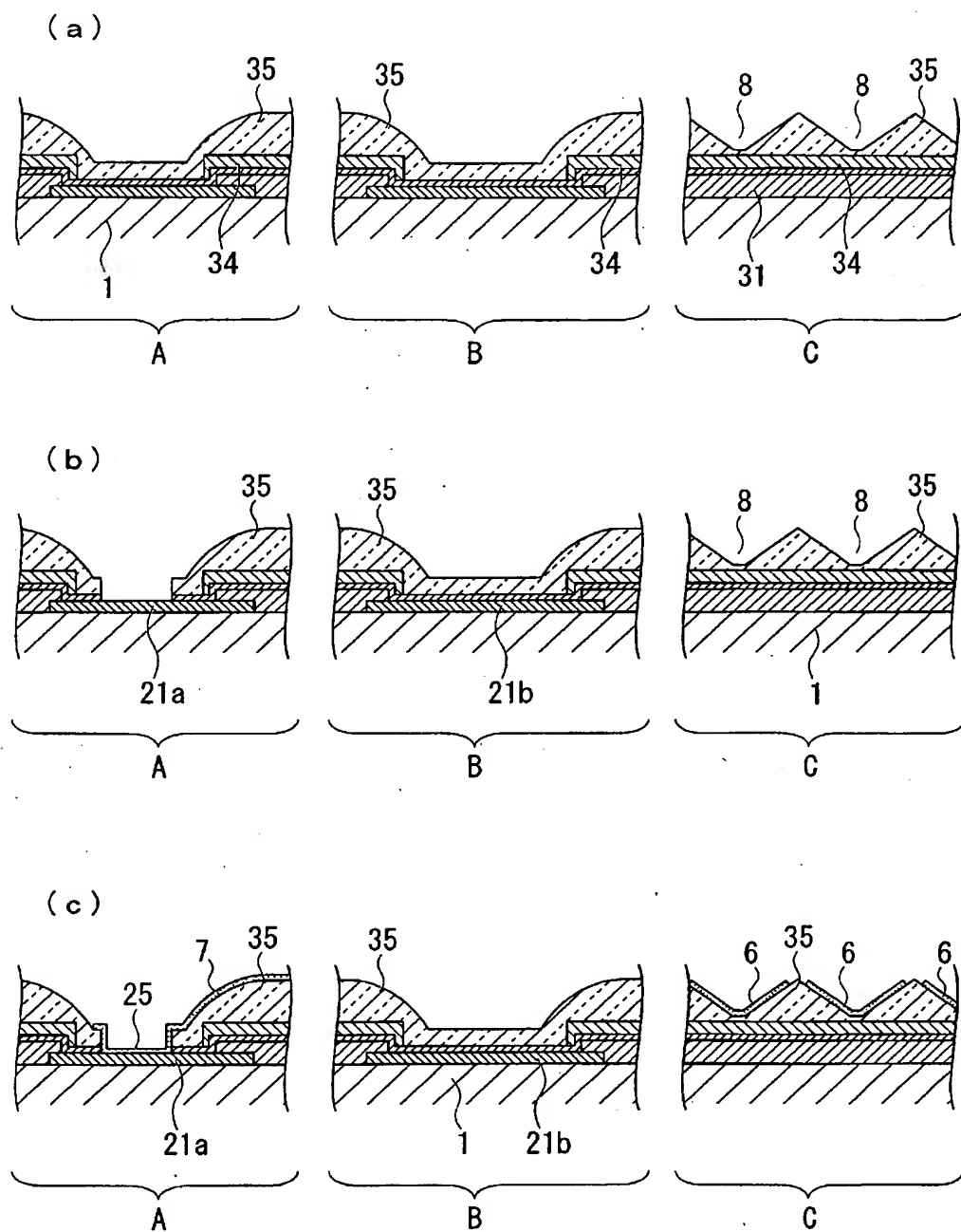
(c)



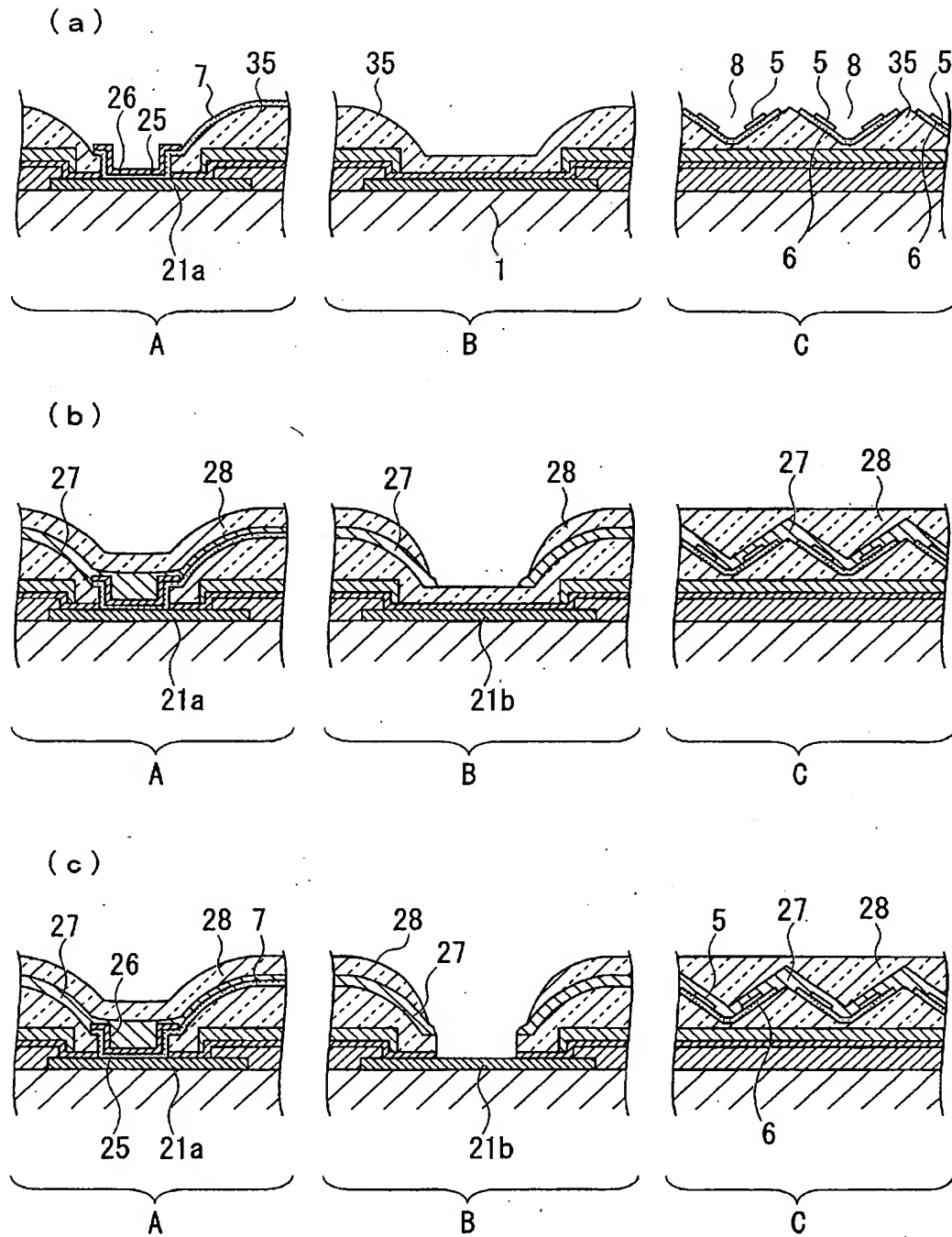
(d)



[図19]

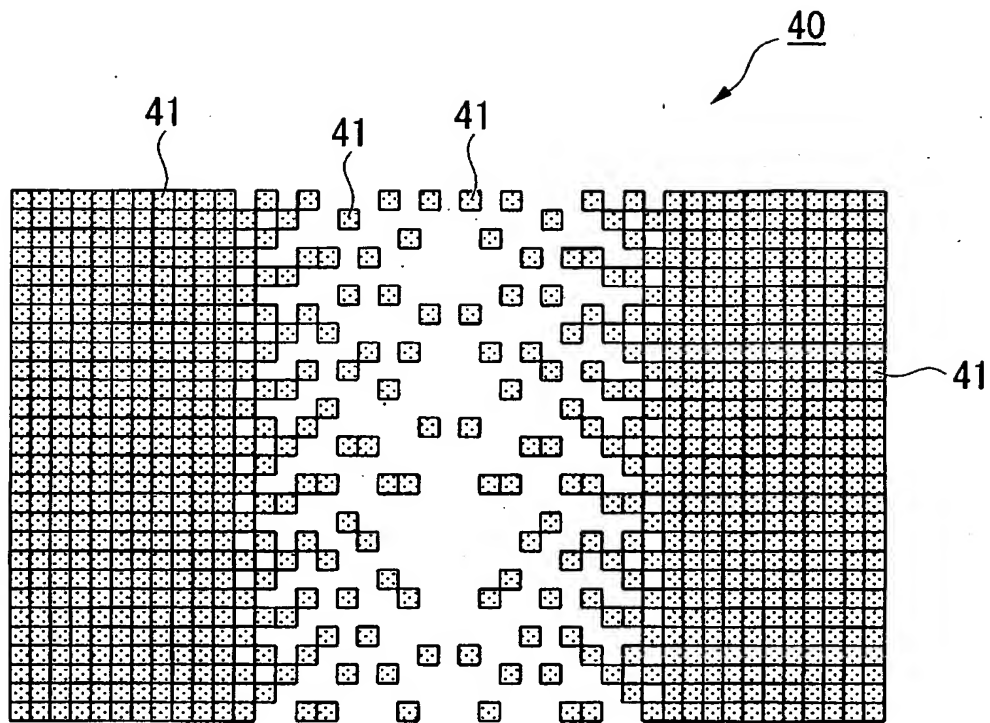


[図20]

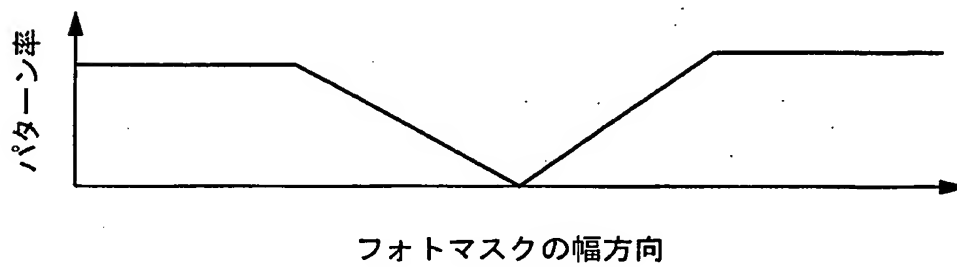


[図21]

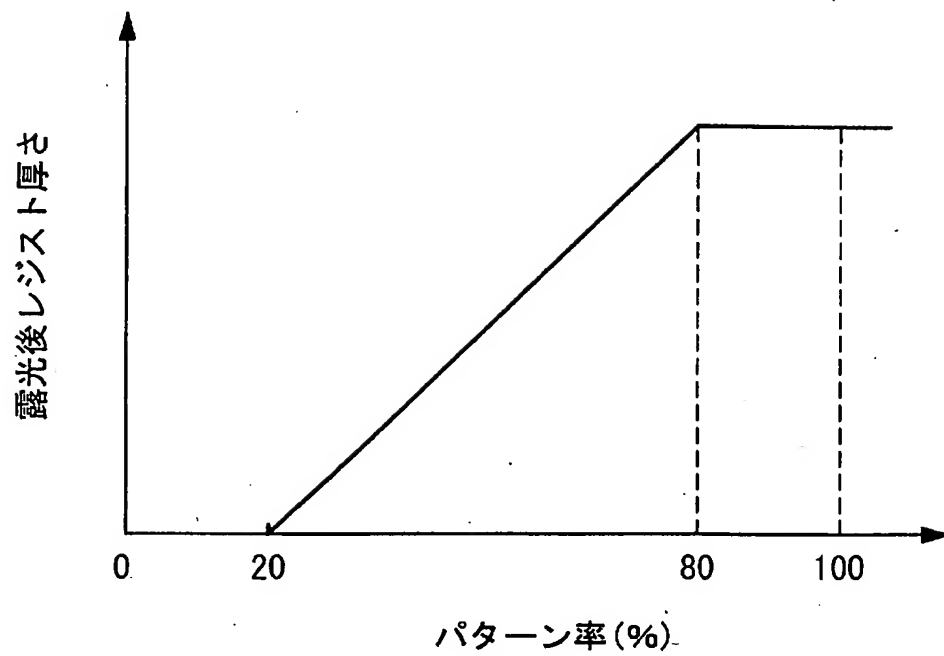
(a)



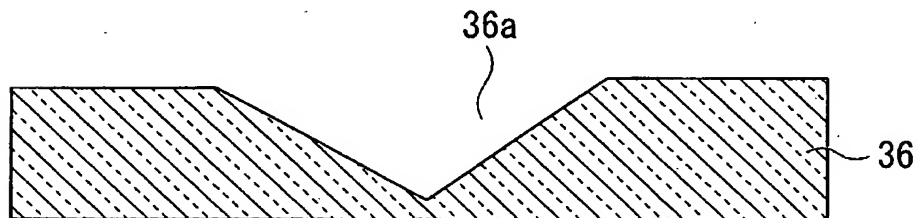
(b)



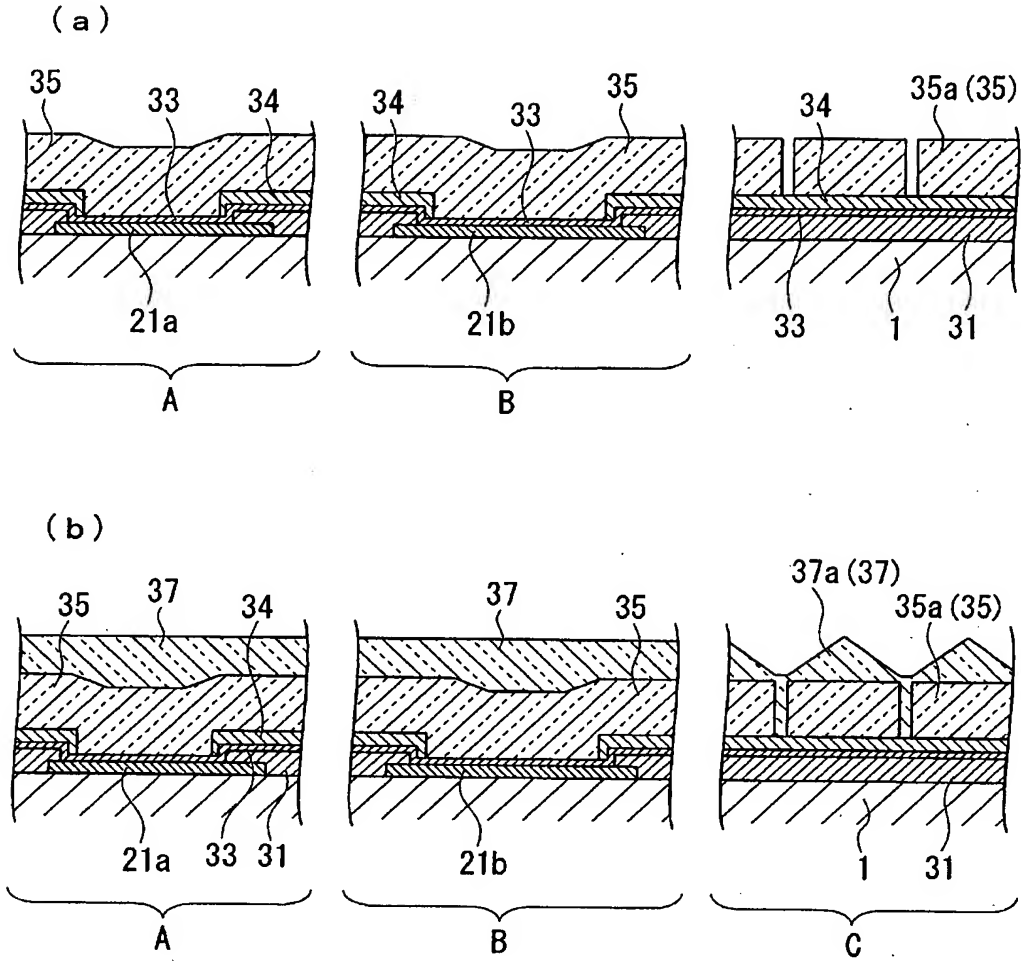
[図22]



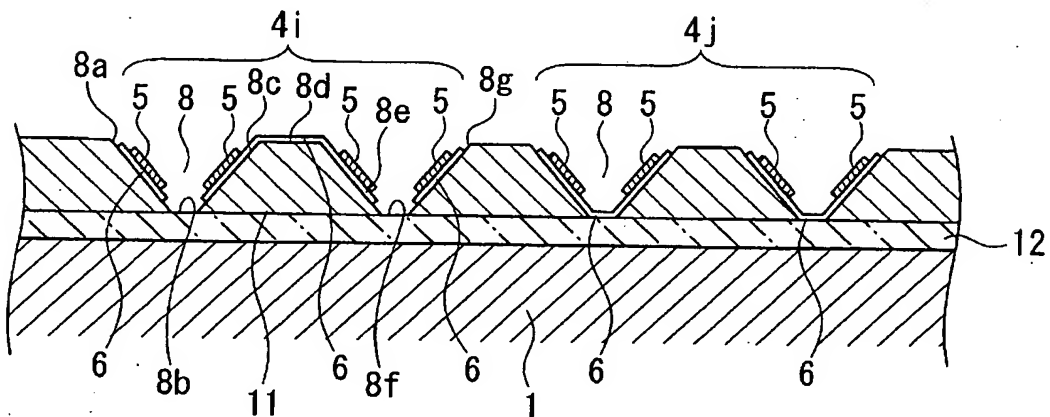
[図23]



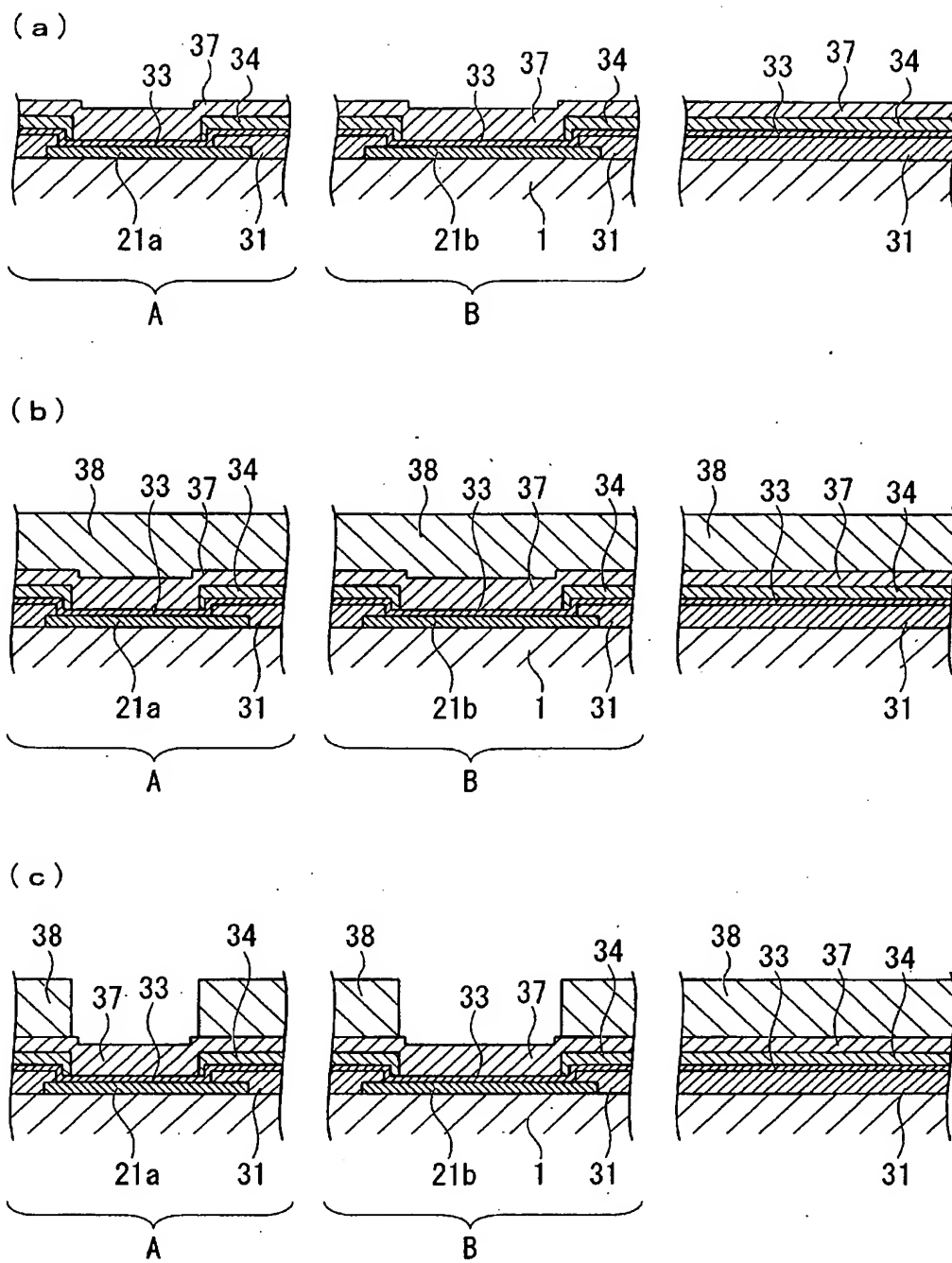
[図24]



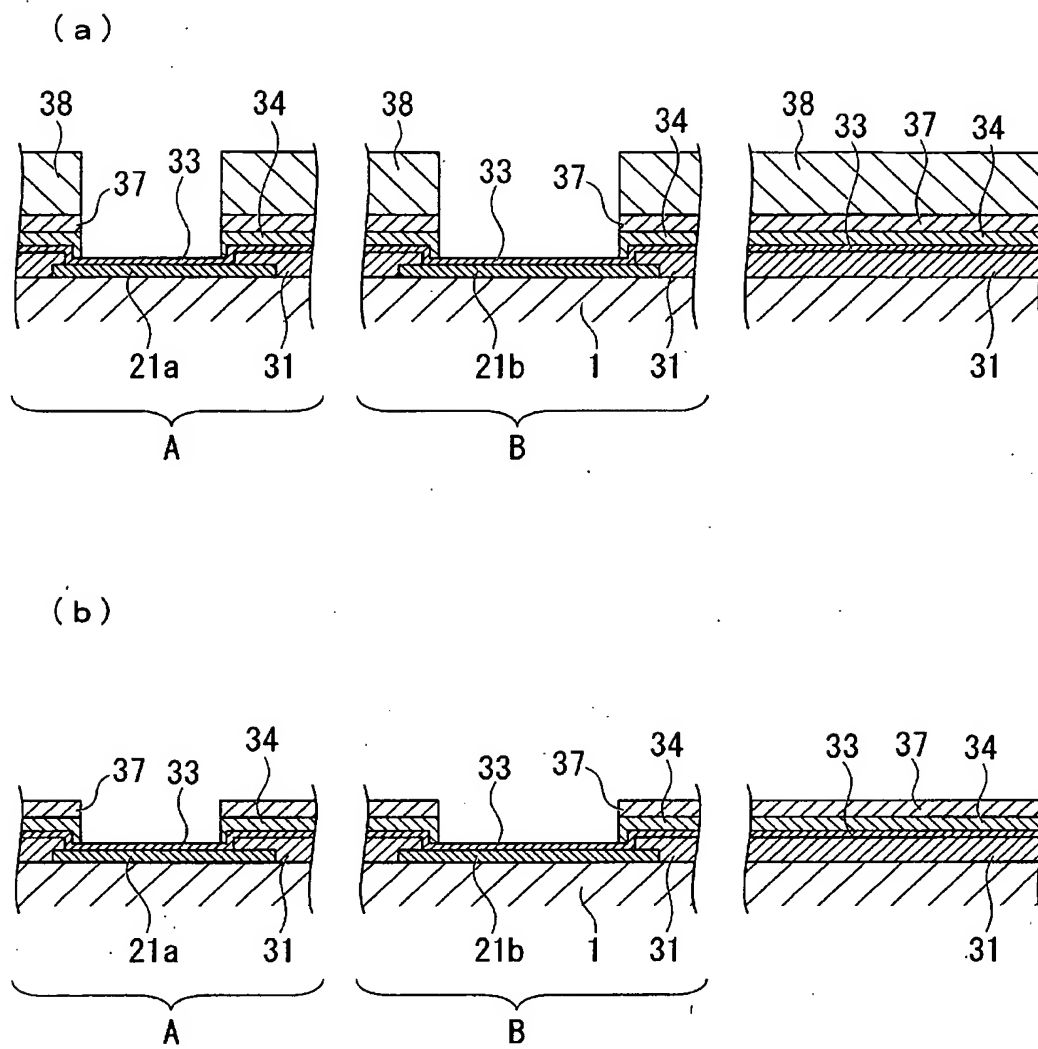
[図25]



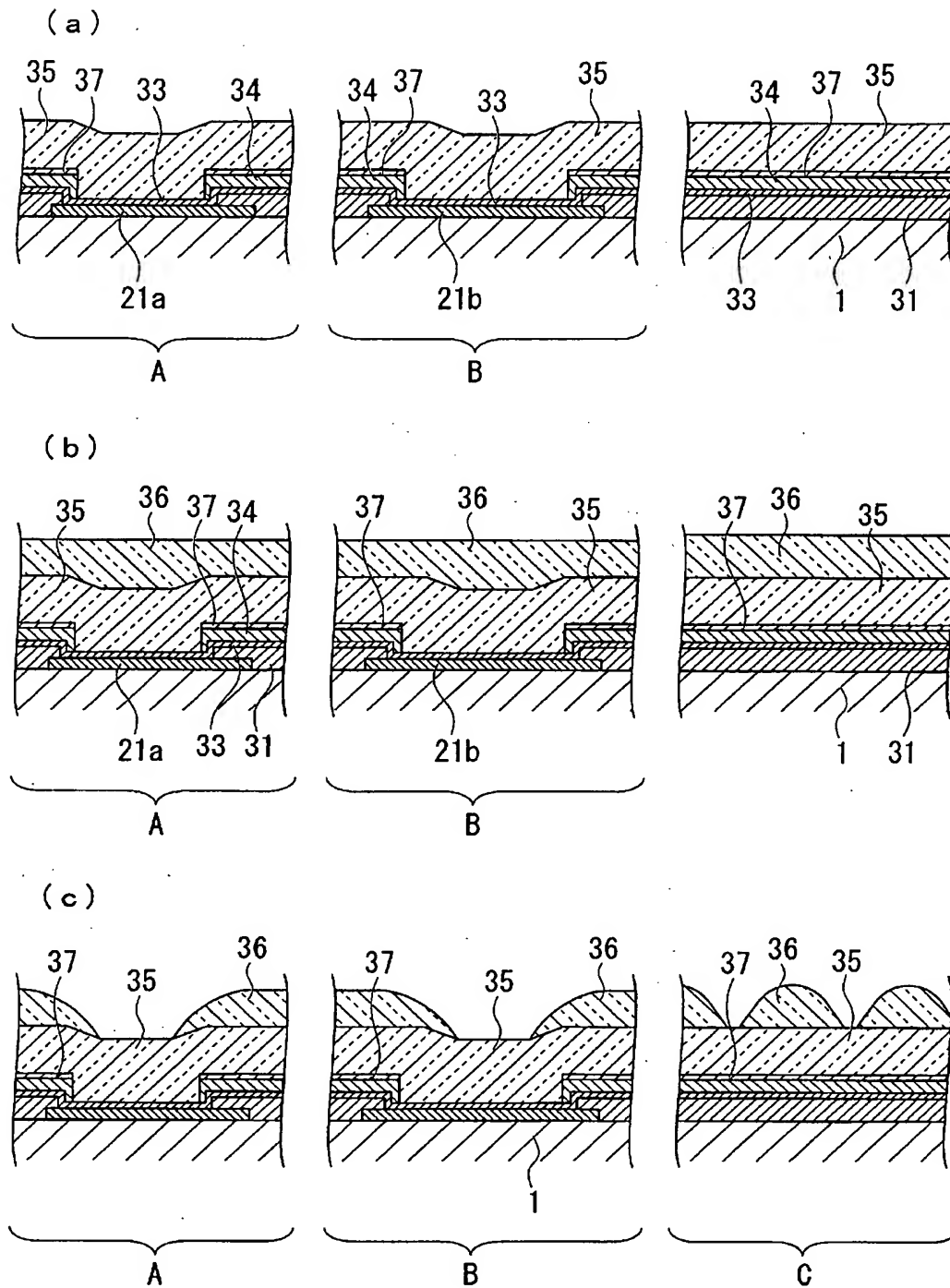
[図26]



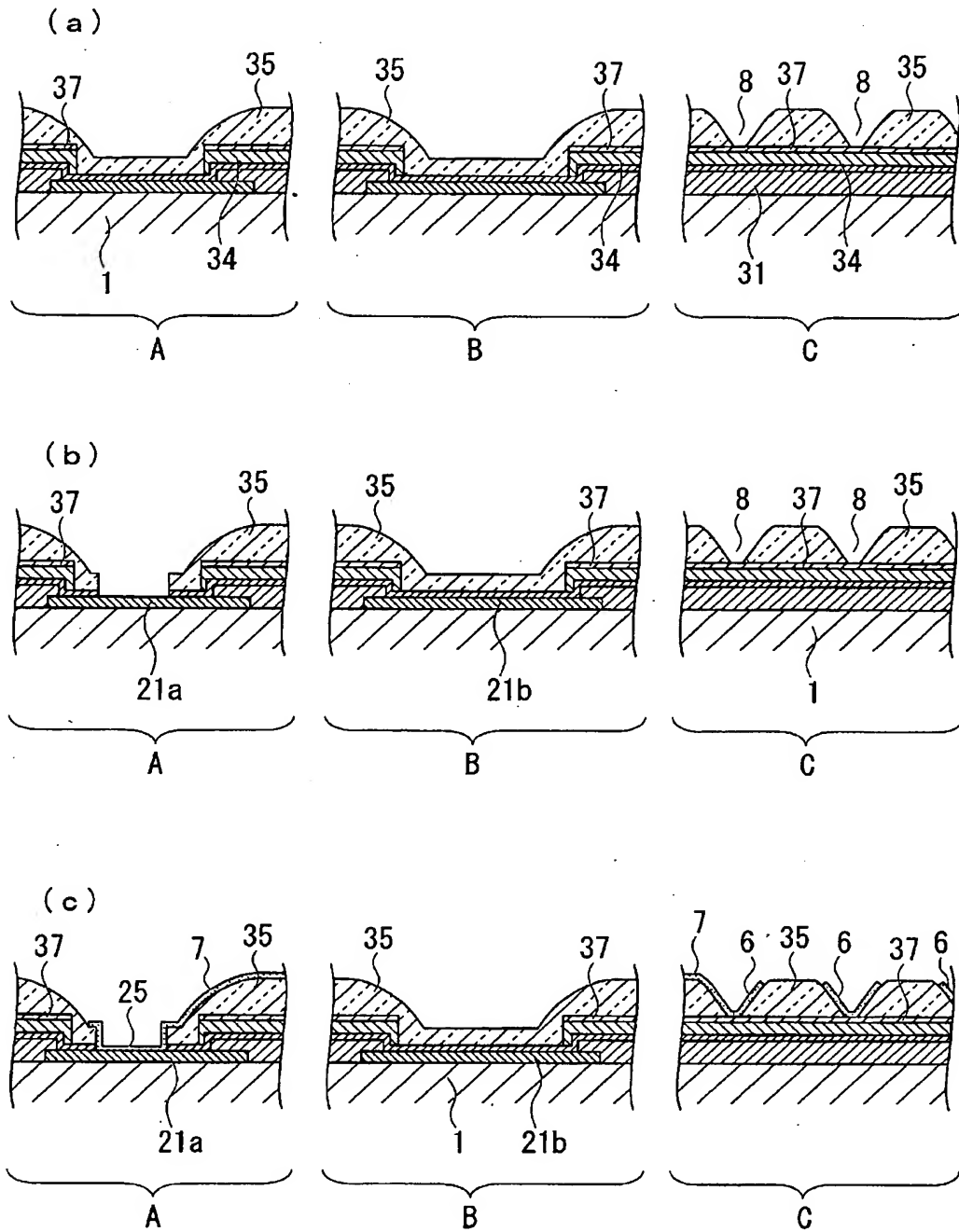
[図27]



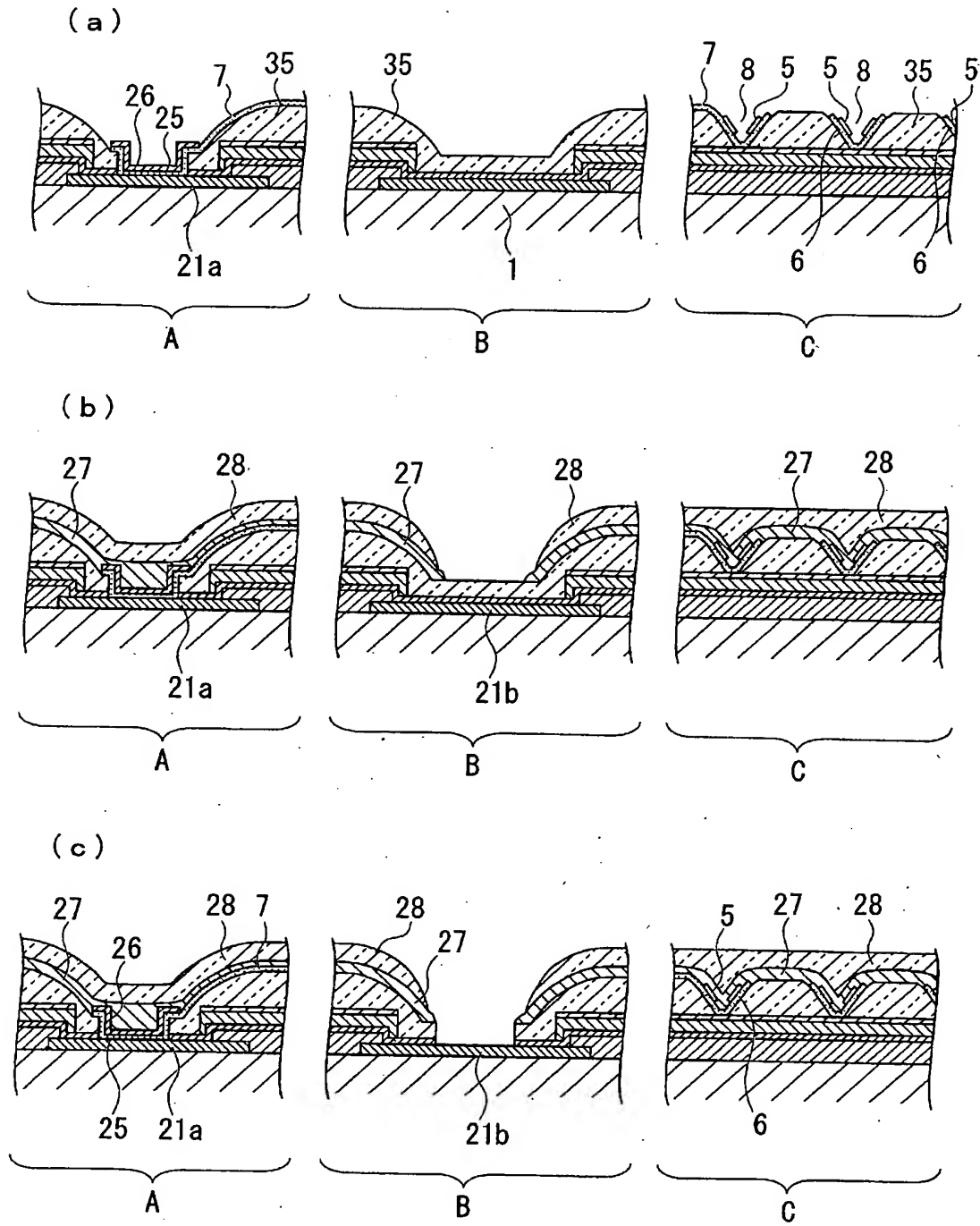
[図28]



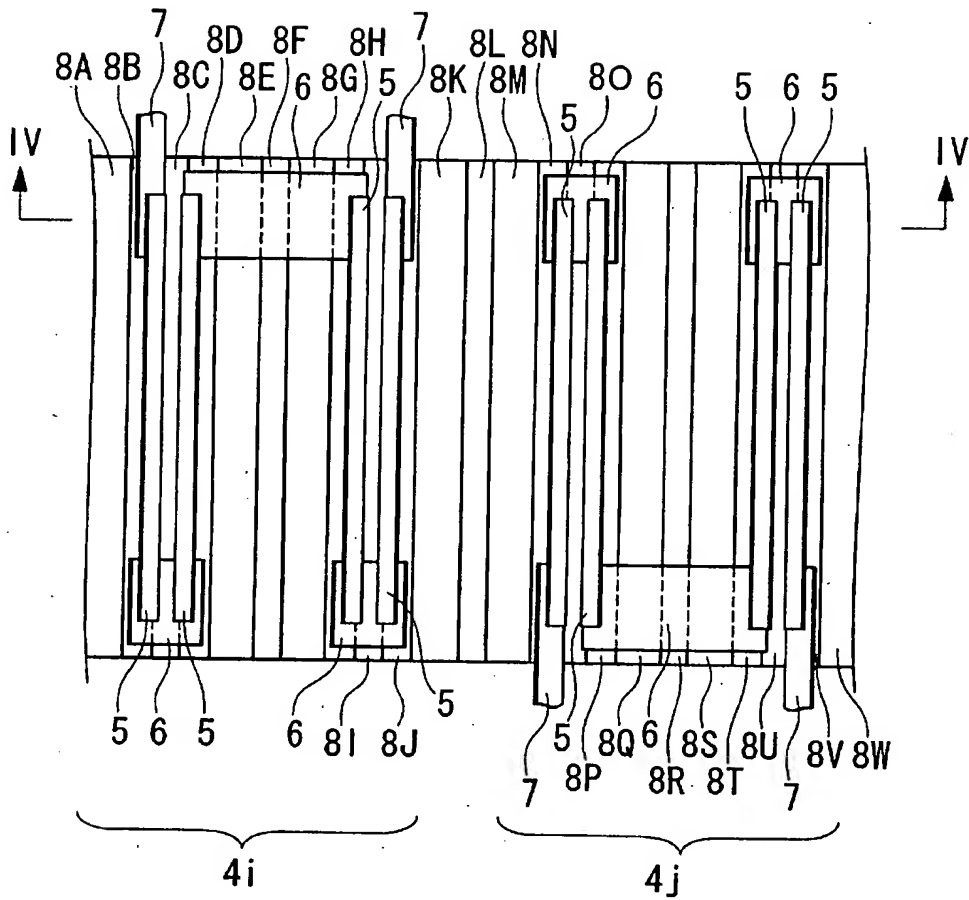
[図29]



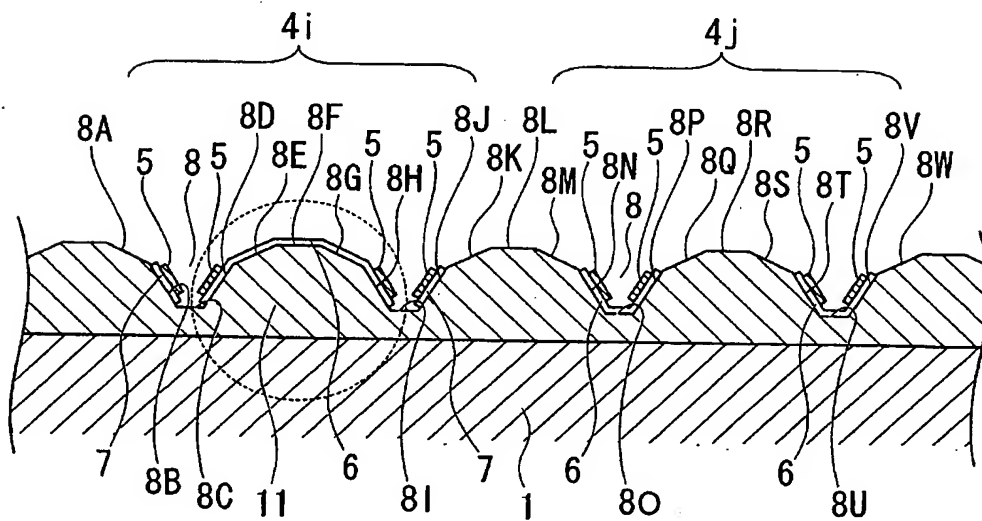
[図30]



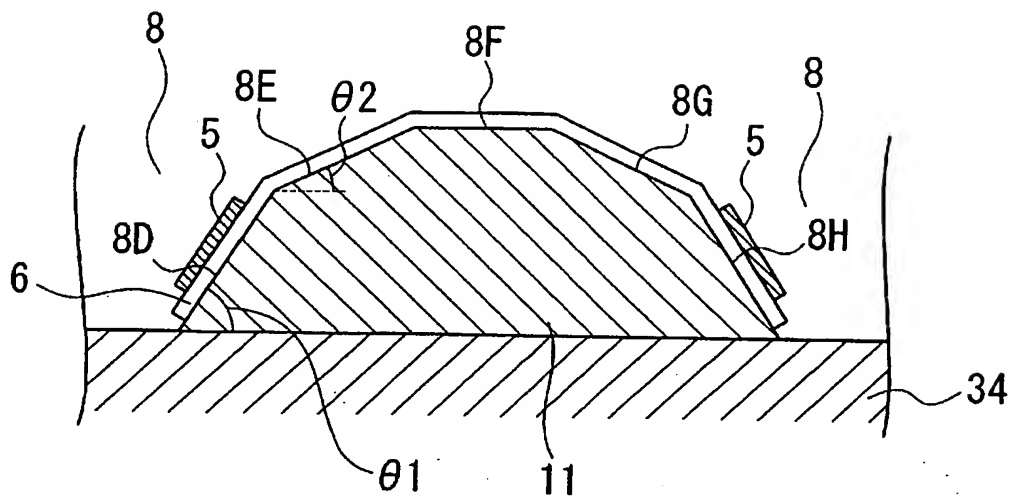
[図31]



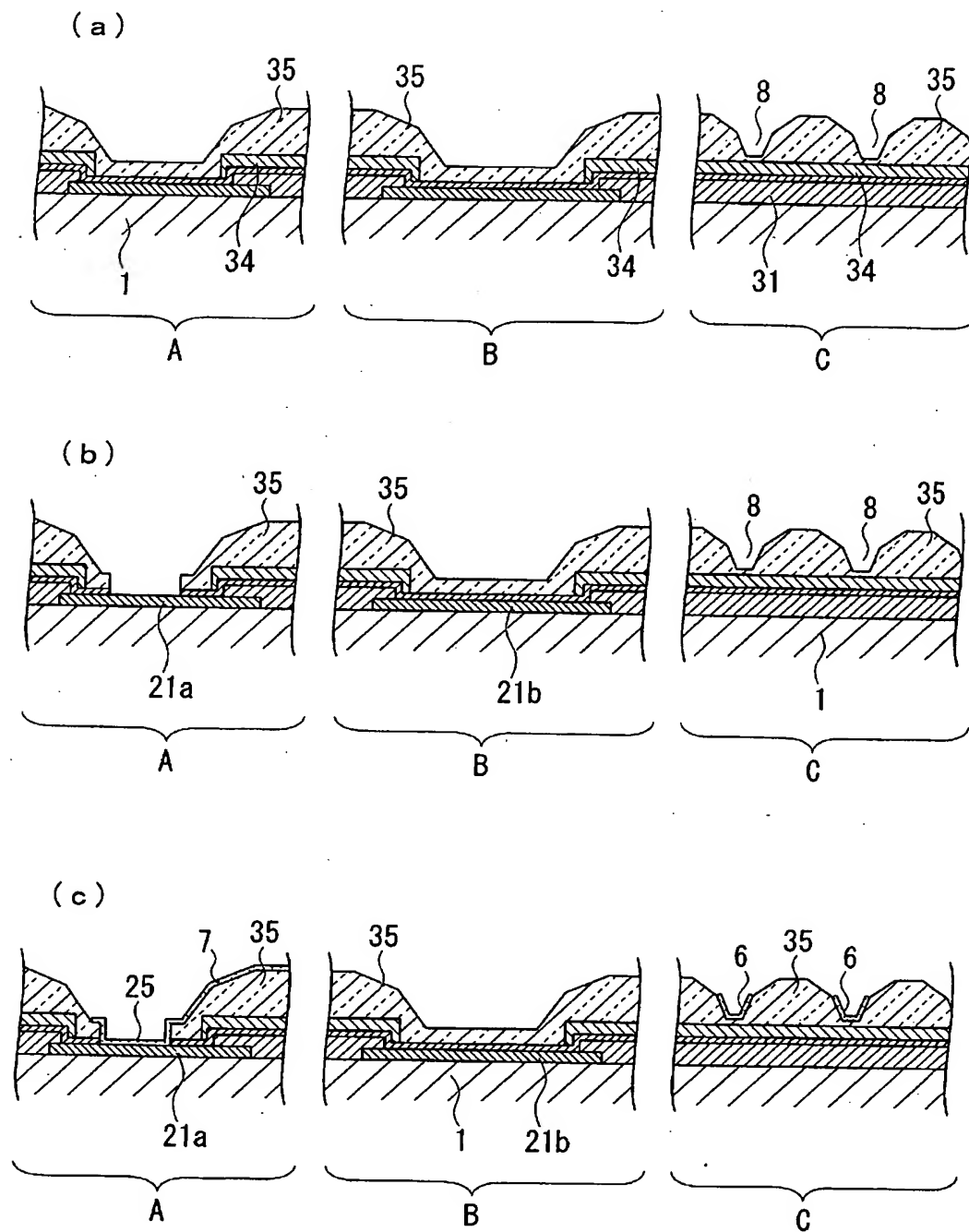
[図32]



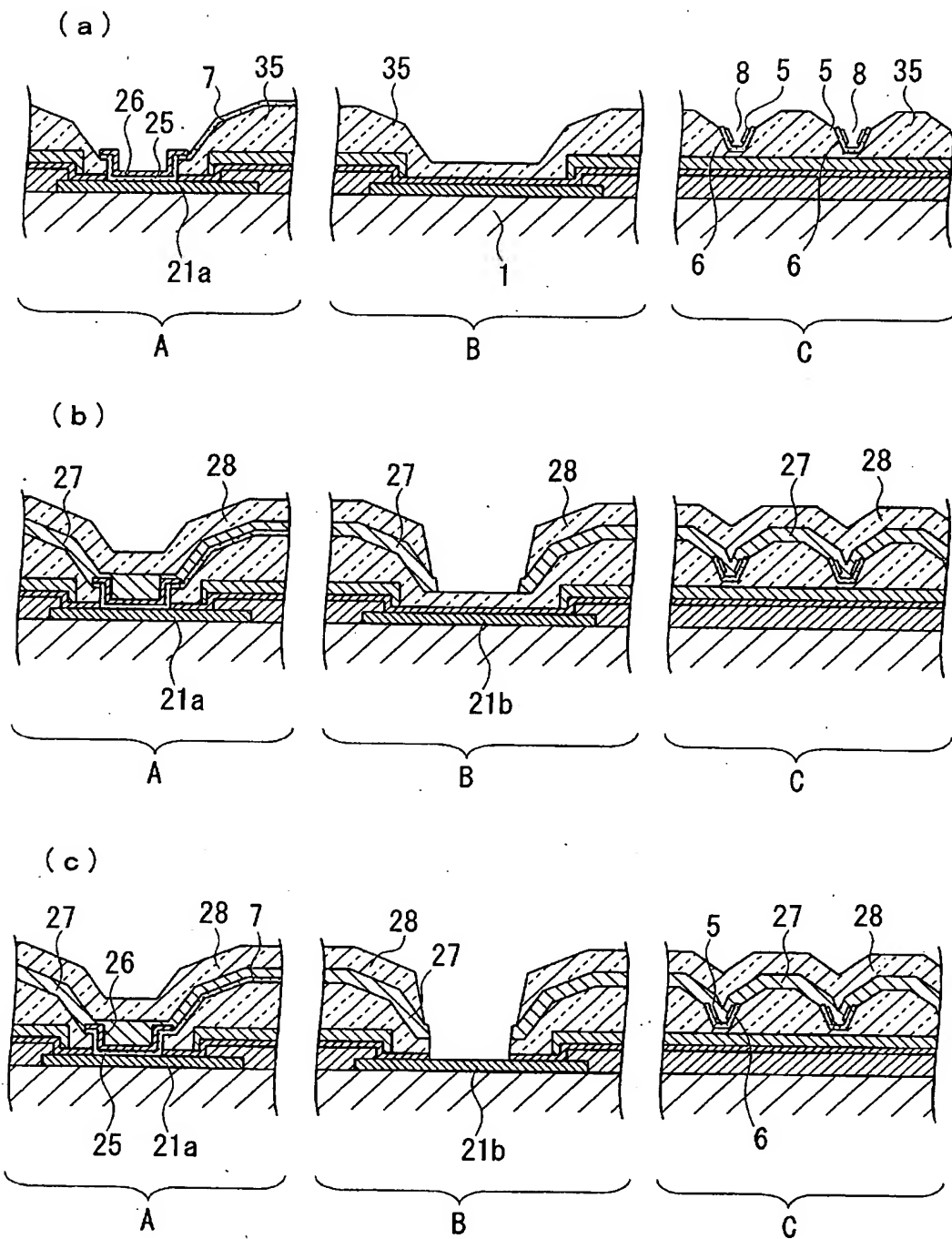
[図33]



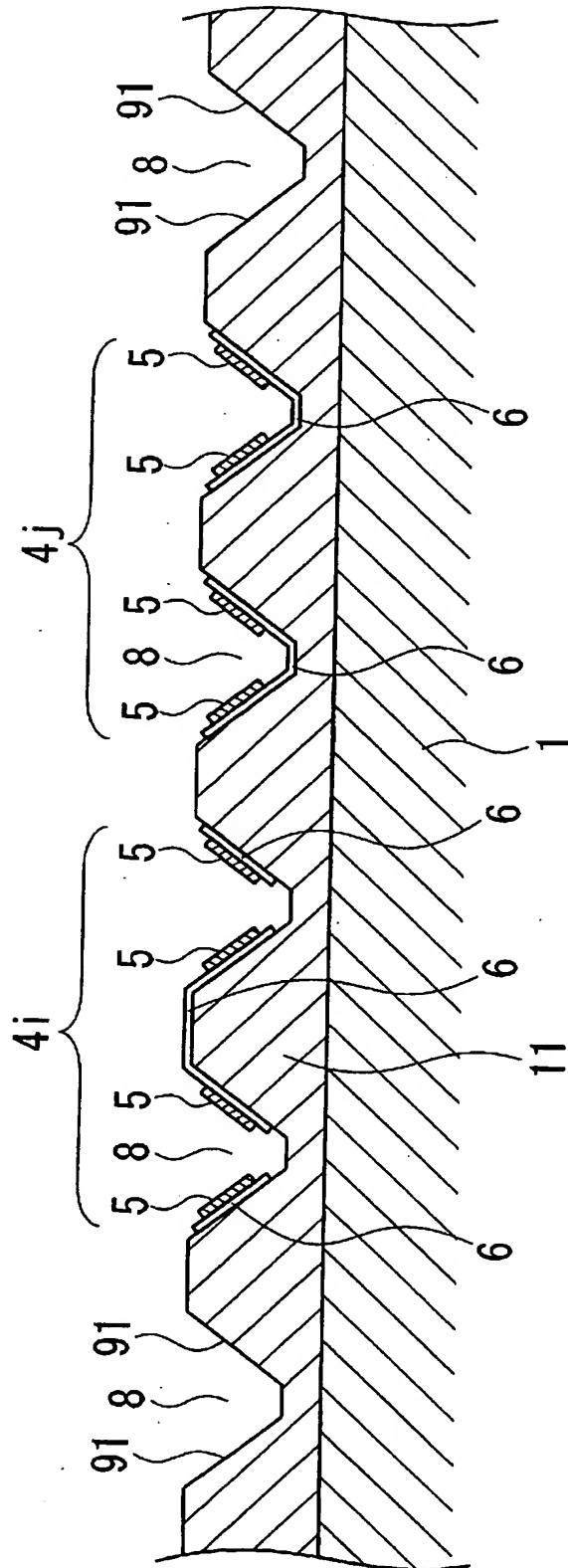
[図34]



[図35]

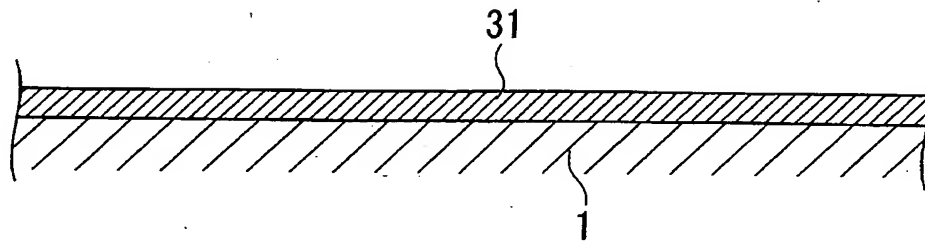


[図37]

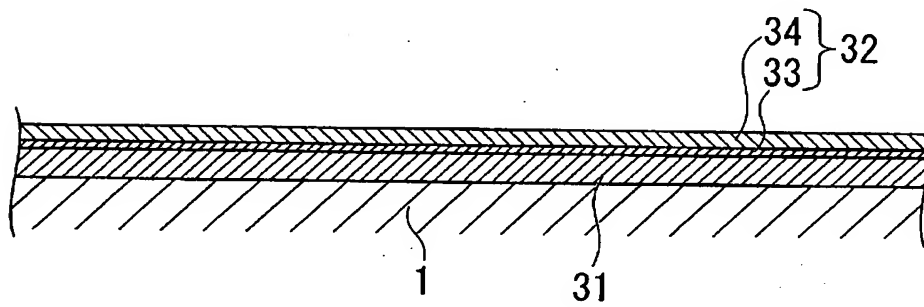


[図38]

(a)

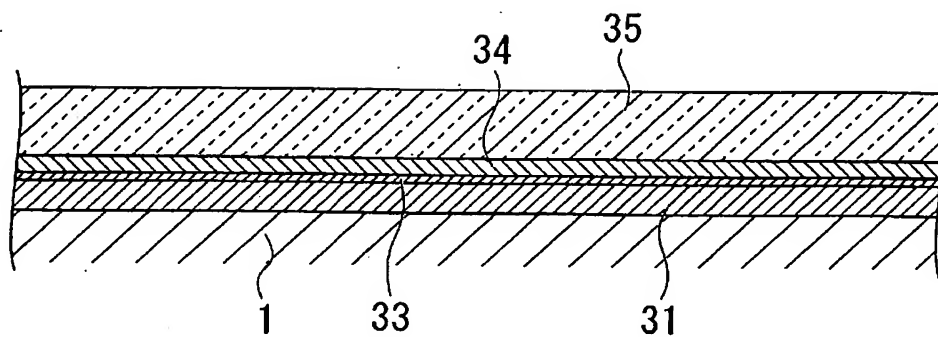


(b)

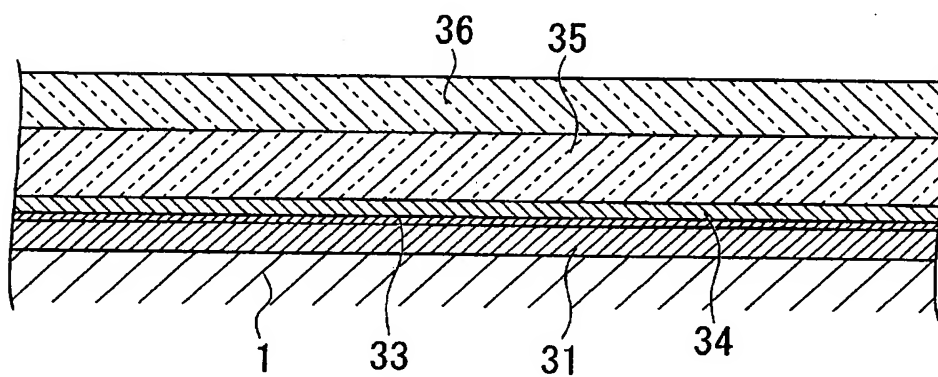


[図39]

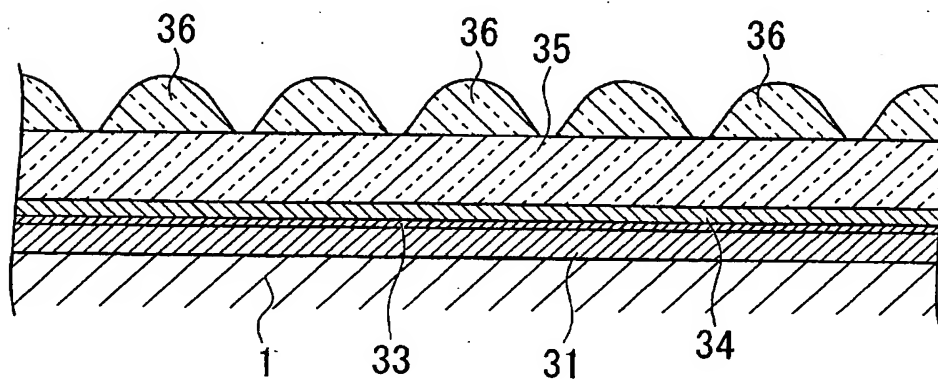
(a)



(b)

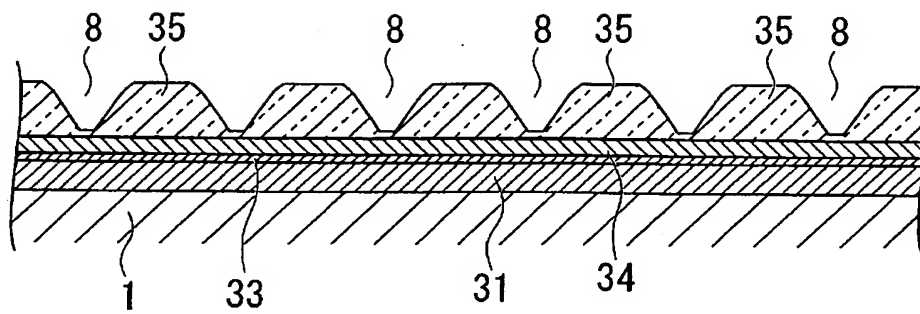


(c)

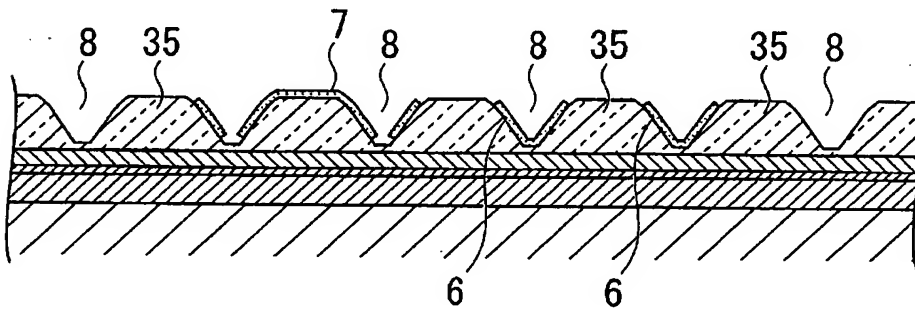


[図40]

(a)

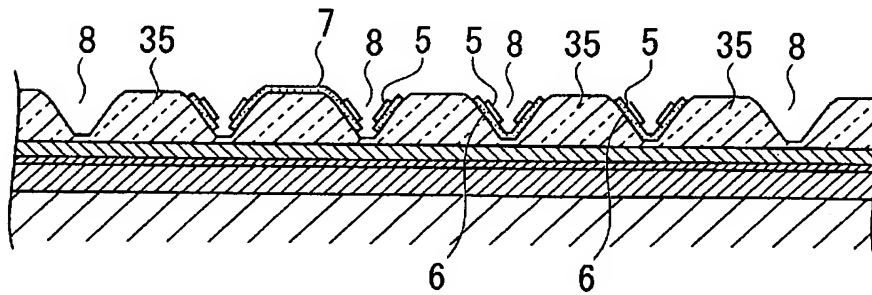


(b)

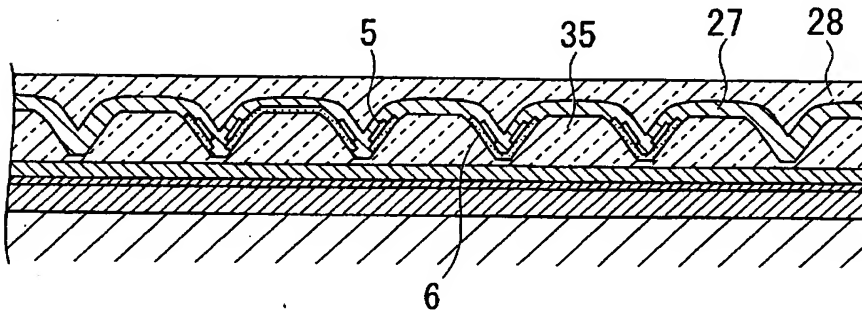


[図41]

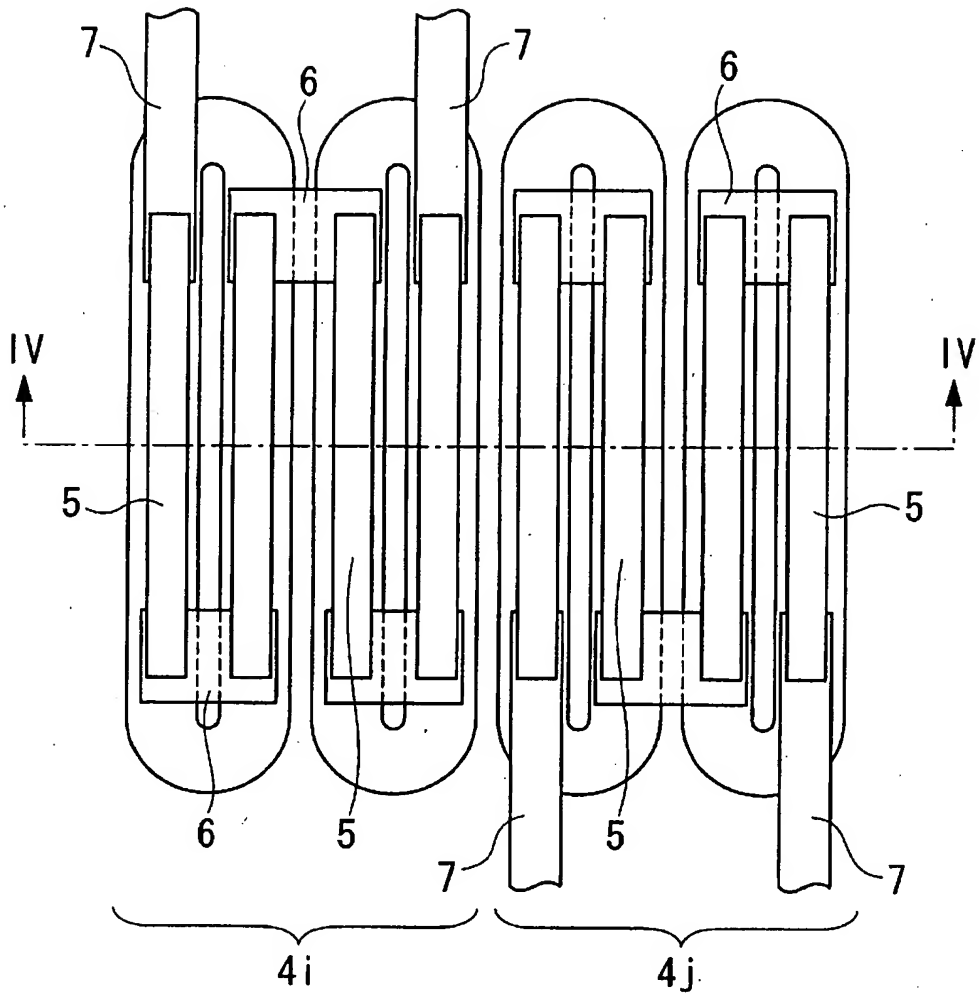
(a)



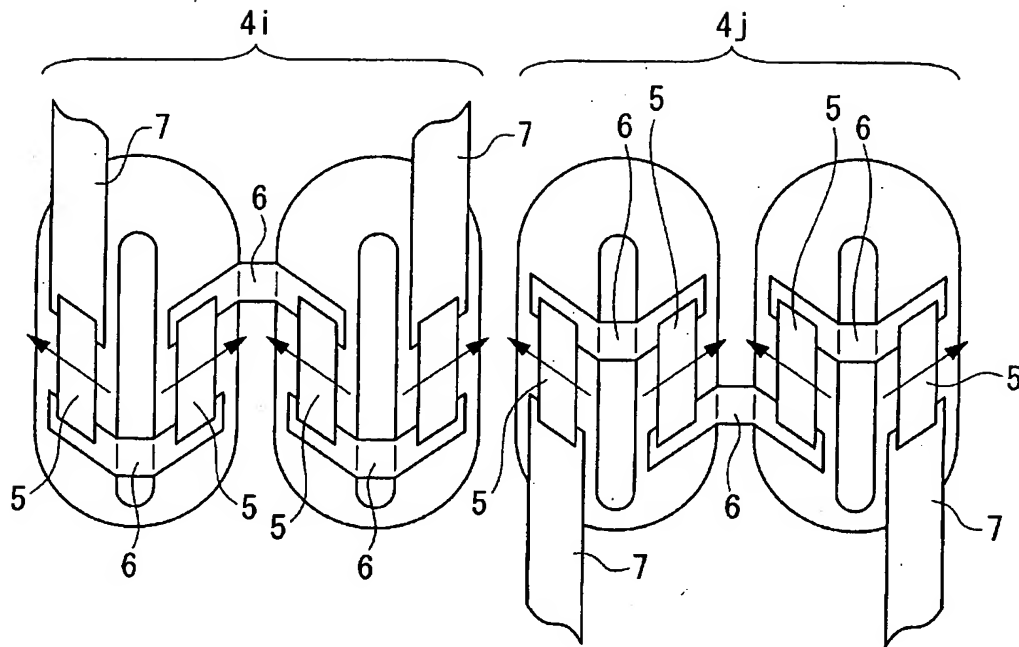
(b)



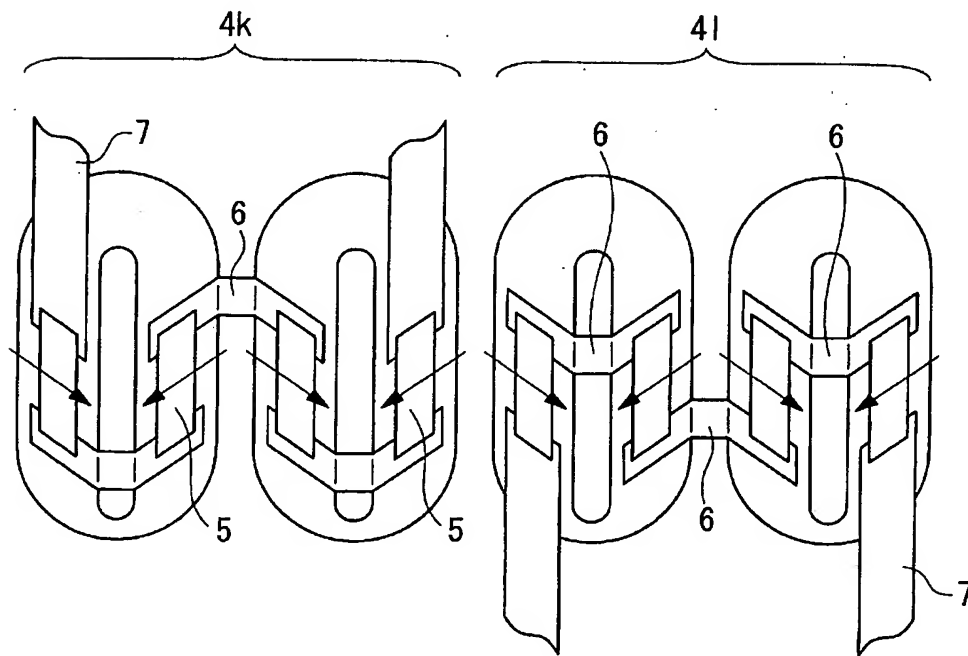
[図42]



[図43]



[図44]



[図45]

